

501.40922X00



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): HASEGAWA, et al.

#2

Serial No.: Not yet assigned

Filed: November 30, 2001

Title: FABRICATION METHOD OF SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE

Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

November 30, 2001

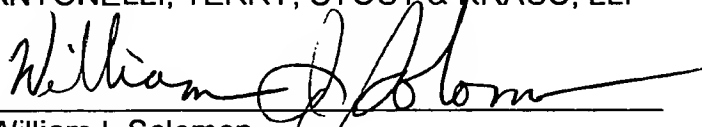
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby  
claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-380446,  
filed December 14, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
William I. Solomon  
Registration No. 28,565

WIS/alb  
Attachment  
(703) 312-6600

310001480

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC996 U.S. PTO  
09/996762  
11/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月14日

出 願 番 号

Application Number:

特願2000-380446

出 願 人

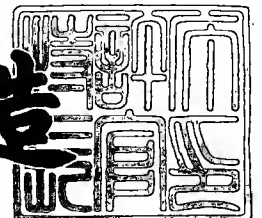
Applicant(s):

株式会社日立製作所

2001年 9月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3087813

【書類名】 特許願

【整理番号】 H00014801

【提出日】 平成12年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/30

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 長谷川 昇雄

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 田中 稔彦

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) フォトマスクの複数のチップ領域に露光光に対して遮光性を有する遮光パターンを形成する工程、

(b) 前記複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを半導体ウエハの内部領域に転写する工程。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法において、前記遮光パターンが金属膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の製造方法において、前記遮光パターンが有機膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 3 記載の半導体集積回路装置の製造方法において、前記フォトマスクは、前記チップ領域の周囲の周辺領域に金属膜からなる遮光パターンを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 3 記載の半導体集積回路装置の製造方法において、前記遮光パターンを構成する有機膜が、第 1 の有機膜と、感光性を有する第 2 の有機膜との積層膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) フォトマスクの複数のチップ領域に露光光に対して遮光性を有する有機膜からなる遮光パターンを形成する工程、

(b) 前記フォトマスクの複数のチップ領域のパターンを第 1 の半導体ウエハに転写した後、その第 1 の半導体ウエハ上に転写されたパターンを検査する工程、

(c) 前記フォトマスクを用いて第 2 の半導体ウエハにパターンを転写する際に

、前記検査結果を活用し、前記フォトマスクに欠陥が存在していたとしても、その欠陥が第2の半導体ウエハ上には転写されないように露光を行う工程。

【請求項7】 請求項6記載の半導体集積回路装置の製造方法において、

前記(c)工程は、前記フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを第2の半導体ウエハの内部領域に転写することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項6記載の半導体集積回路装置の製造方法において、

前記(c)工程は、前記フォトマスクの複数のチップ領域を、前記第2の半導体ウエハの同一箇所に重ね合わせて露光することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項6記載の半導体集積回路装置の製造方法において、

前記(c)工程においては、

前記フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを第2の半導体ウエハの内部領域に転写する手段、

または、前記フォトマスクの複数のチップ領域を、前記第2の半導体ウエハの同一箇所に重ね合わせて露光する手段のいずれかを、前記検査結果に基づいて選択することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項6記載の半導体集積回路装置の製造方法において、

前記(c)工程においては、

前記フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを第2の半導体ウエハの内部領域に転写する手段、

前記フォトマスクの複数のチップ領域を、前記第2の半導体ウエハの同一箇所に重ね合わせて露光する手段、

前記フォトマスクのチップ領域におけるパターンの欠陥を修正する手段、

または、前記フォトマスクの前記有機膜からなる遮光パターンを除去してフォトマスクを再生する手段のいずれかを、前記検査結果に基づいて選択することを

特徴とする半導体集積回路装置の製造方法。

【請求項 1 1】 請求項 6 記載の半導体集積回路装置の製造方法において、前記（b）工程に際しては、前記フォトマスクの複数のチップ領域を、前記第 1 の半導体ウエハの同一箇所を重ね合わせて露光することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体集積回路装置の製造方法において、前記（b）工程に際しては、重ね合わせ露光回数を種々変えて前記検査を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 3】 請求項 1 2 記載の半導体集積回路装置の製造方法において、前記（b）工程に際しては、前記第 1 の半導体ウエハの主面内に、重ね合わせ露光回数の異なる領域を設け、その領域毎に前記検査を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】 請求項 1 2 記載の半導体集積回路装置の製造方法において、前記（c）工程においては、前記検査の結果、フォトマスク上の欠陥が前記第 2 の半導体ウエハに転写されないと判断された重ね合わせ露光回数の露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】 請求項 6 記載の半導体集積回路装置の製造方法において、前記有機膜からなる遮光パターンは、第 1 の有機膜と、感光性を有する第 2 の有機膜との積層膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】 請求項 6 記載の半導体集積回路装置の製造方法において、前記フォトマスクは、前記チップ領域の周囲の周辺領域に金属膜からなる遮光パターンを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

（a）マスク基板に配置された複数のチップ領域に露光光に対して遮光性を有する有機膜からなる遮光パターンが配置されたフォトマスクを用意する工程、

（b）前記フォトマスクを用いた通常の露光処理により第 1 の半導体ウエハ上に所定のパターンを転写した後、その所定のパターンを検査する工程、

（c）前記検査の結果、前記フォトマスクのパターンに欠陥が存在しないと判定

された場合は、そのフォトマスクを用いて通常の露光処理によって第 2 の半導体ウエハ上に所定のパターンを転写する工程、

(d) 前記検査の結果、前記フォトマスクのパターンに欠陥が存在すると判定された場合は、そのフォトマスクを用いて第 2 の半導体ウエハにパターンを転写する際に、前記検査結果を活用し、前記フォトマスクに欠陥が存在していたとしても、その欠陥が第 2 の半導体ウエハ上には転写されないように露光を行う工程。

【請求項 1 8】 請求項 1 7 記載の半導体集積回路装置の製造方法において

前記 (d) 工程は、前記フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを第 2 の半導体ウエハの内部領域に転写することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 9】 請求項 1 7 記載の半導体集積回路装置の製造方法において

前記 (d) 工程は、前記フォトマスクの複数のチップ領域を、前記第 2 の半導体ウエハの同一箇所に重ね合わせて露光することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 0】 請求項 1 7 記載の半導体集積回路装置の製造方法において

前記 (d) 工程においては、

前記フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを第 2 の半導体ウエハの内部領域に転写する手段、

または、前記フォトマスクの複数のチップ領域を、前記第 2 の半導体ウエハの同一箇所に重ね合わせて露光する手段のいずれかを、前記検査結果に基づいて選択することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】 請求項 1 7 記載の半導体集積回路装置の製造方法において

前記 (d) 工程においては、

前記フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを第2の半導体ウエハの内部領域に転写する手段、

前記フォトマスクの複数のチップ領域を、前記第2の半導体ウエハの同一箇所に重ね合わせて露光する手段、

前記フォトマスクのチップ領域におけるパターンの欠陥を修正する手段、

または、前記フォトマスクの前記有機膜からなる遮光パターンを除去してフォトマスクを再生する手段のいずれかを、前記検査結果に基づいて選択することを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項17記載の半導体集積回路装置の製造方法において、前記（b）工程に際しては、前記フォトマスクの複数のチップ領域を、前記第1の半導体ウエハの同一箇所に重ね合わせて露光することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項22記載の半導体集積回路装置の製造方法において、前記（b）工程に際しては、重ね合わせ露光回数を種々変えて前記検査を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項23記載の半導体集積回路装置の製造方法において、前記（b）工程に際しては、前記第1の半導体ウエハの主面内に、重ね合わせ露光回数の異なる領域を設け、その領域毎に前記検査を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項23記載の半導体集積回路装置の製造方法において、前記（d）工程においては、前記検査の結果、フォトマスク上の欠陥が前記第2の半導体ウエハに転写されないと判断された重ね合わせ露光回数の露光処理を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項17記載の半導体集積回路装置の製造方法において、前記有機膜からなる遮光パターンは、第1の有機膜と、感光性を有する第2の有機膜との積層膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項17記載の半導体集積回路装置の製造方法において、前記フォトマスクは、前記チップ領域の周囲の周辺領域に金属膜からなる遮光



パターンを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 8】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) マスク基板に配置された複数のチップ領域に露光光に対して遮光性を有する遮光パターンが配置された同一設計の複数枚のフォトマスクを用意する工程、

(b) 前記同一設計の複数枚のフォトマスクを用いた通常の露光処理により第 1 の半導体ウエハの主面内に、その各々のフォトマスクのパターンを転写した後、その各々のフォトマスクによって転写された各々のパターンを検査する工程、

(c) 前記検査の結果、前記同一設計の複数のフォトマスクのうち、欠陥が存在しないと判定されたフォトマスクを用いて、第 2 の半導体ウエハにパターンを転写する工程。

【請求項 2 9】 請求項 2 8 記載の半導体集積回路装置の製造方法において、前記遮光パターンが金属膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3 0】 請求項 2 8 記載の半導体集積回路装置の製造方法において、前記遮光パターンが有機膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3 1】 請求項 3 0 記載の半導体集積回路装置の製造方法において、前記フォトマスクは、前記チップ領域の周囲の周辺領域に金属膜からなる遮光パターンを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3 2】 請求項 3 0 記載の半導体集積回路装置の製造方法において、前記遮光パターンが、第 1 の有機膜と、感光性を有する第 2 の有機膜との積層膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 3 3】 請求項 2 8 記載の半導体集積回路装置の製造方法において、前記 (b) 工程に際しては、前記同一設計の複数枚のフォトマスクの各々を用いた各々の露光処理において、各フォトマスクの複数のチップ領域を、前記第 1 の半導体ウエハの同一箇所に重ね合わせて露光することを特徴とする半導体集積回路装置の製造方法。

【請求項 3 4】 請求項 3 3 記載の半導体集積回路装置の製造方法において

、前記（b）工程に際しては、重ね合わせ露光回数を種々変えて前記検査を行うことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の製造工程において、フォトリソグラフィ（以下、単にリソグラフィという）を用いた露光処理により、半導体ウエハ（以下、単にウエハと言う）に所定のパターンを転写するフォトリソグラフィ（以下、単にリソグラフィという）技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体集積回路装置の製造においては、微細パターンをウエハに転写する方法として、リソグラフィ技術が用いられている。リソグラフィ技術では、主に投影露光装置が用いられ、投影露光装置に装着したマスクのパターンをウエハに転写することでデバイスパターンを形成する。

【0003】

この投影露光法で用いられるマスクは、露光光に対して透明なマスク基板上に、クロム等のような金属膜からなる遮光パターンを設ける構造を有している。その製造工程は、例えば次のようなものがある。

【0004】

まず、透明なマスク基板上に遮光膜となるクロム等からなる金属膜を堆積し、その上に電子線に感光するレジスト膜を塗布する。続いて、電子線描画装置等により電子線を上記レジスト膜の所定の箇所に照射し、これを現像してレジストパターンを形成する。その後、そのレジストパターンをエッチングマスクとして下層の金属膜をエッチングすることにより金属膜からなる遮光パターンを形成する。最後に残った電子線感光のレジスト膜を除去した後、マスク上のパターンの検査工程を経て、マスクを製造する。

【0005】

しかし、この構成のマスクでは、製造工程数が多く、コストが高くなる問題や遮光パターンを等方性エッチングで加工することから加工寸法精度の低下の問題がある。この問題を考慮した技術として、例えば特開平 5 - 2 8 9 3 0 7 号公報には、所定のレジスト膜が A r F エキシマレーザに対して透過率を 0 % にできることを利用して、マスク基板上の遮光パターンをレジスト膜で構成する技術が開示されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

ところが、上記レジスト膜を遮光パターンとするマスク技術においては、以下の課題があることを本発明者は見出した。

【 0 0 0 7 】

すなわち、第 1 は、マスクを効率的に短期間で製造することについて十分な考慮がなされていないという問題である。例えば A S I C (Application Specific IC) 等のようなカスタム製品においては、高い機能が要求される程、製品開発に要する工数や期間がかかることになるが、その反面、現存する製品の陳腐化も速く、製品寿命が短いため、製品の開発、製造期間の短縮が望まれている。したがって、このような製品の製造に用いるマスクを如何にして短時間に効率的に製造するかが重要な課題となる。

【 0 0 0 8 】

第 2 は、マスクのコストをさらに下げることに十分な考慮がなされていないという問題である。近年、半導体集積回路装置においては、マスクのコストが益々増加する傾向にある。これは、例えば次の理由からである。すなわち、マスク製造装置の分野は、マーケット規模が小さいため、採算に乗らないという状況にあって、マスク上にパターンを形成するための描画装置やそのパターンを検査する検査装置の開発費用やランニングコストが、マスクに形成されるパターンの微細化、高集積化に伴い膨大なものとなり、そのための費用等を回収するにはマスクのコストを増加せざるを得ないという理由からである。また、半導体集積回路装置の性能の向上に伴い 1 つの半導体集積回路装置を製造するのに必要なマスクの総数が増える傾向にあることから、マスクのコストを如何にして低減す

るかが重要な課題となる。

【 0 0 0 9 】

また、本発明者らは、本発明に基づいて、マスクを用いた半導体集積回路装置の製造技術の観点から公知例を調査した結果、例えば特開平 3 - 1 0 0 6 5 5 号公報には、レーザビーム光を整形するための透過光部や遮光部が設けられた 2 枚のアパーチャブレードでアパーチャを構成し、その 2 枚のアパーチャブレードを重ねて用いることで、マスク上の欠陥を修正する技術が開示されている。また、例えば特開平 7 - 1 4 2 3 0 9 号公報には、ウエハのエッジ近傍に生じる一部が欠けた状態の製品パターン像を、レチクルブラインドによって制御して、2 重露光する技術が開示されている。

【 0 0 1 0 】

本発明の目的は、半導体集積回路装置の製造時間を短縮することのできる技術を提供することにある。

【 0 0 1 1 】

また、本発明の目的は、半導体集積回路装置のコストを低減することのできる技術を提供することにある。

【 0 0 1 2 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 3 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 4 】

すなわち、本発明は、フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを半導体ウエハの内部領域に転写するものである。

【 0 0 1 5 】

また、本発明は、露光光に対して遮光性を有する有機膜からなる遮光パターン

が複数のチップ領域に配置されたフォトマスクを用いて、第1の半導体ウエハにパターンを転写した後、その第1の半導体ウエハ上に転写されたパターンを検査する工程、前記フォトマスクを用いて第2の半導体ウエハにパターンを転写する際に、前記検査結果を活用し、前記フォトマスクに欠陥が存在していたとしても、その欠陥が第2の半導体ウエハ上には転写されないように露光を行う工程とを有するものである。

【0016】

【発明の実施の形態】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0017】

1. マスク（光学マスク）：マスク基板上に光を遮光するパターンや光の位相を変化させるパターンを形成したものである。実寸の数倍のパターンが形成されたレチクルも含む。マスクの第1主面とは、上記光を遮蔽するパターンや光の位相を変化させるパターンが形成されたパターン面であり、マスクの第2主面とは第1主面の反対側の面（すなわち、裏面）のことを言う。

【0018】

2. 通常のマスク：上記マスクの一種であって、マスク基板上に、メタルからなる遮光パターンと、光透過パターンとでマスクパターンを形成した一般的なマスクのことを言う。

【0019】

3. レジストマスク：上記マスクの一種であって、マスク基板上に、有機膜からなる遮光体（遮光膜、遮光パターン、遮光領域）を有するマスクを言う。

【0020】

4. マスク（上記通常のマスクおよびレジストマスク）のパターン面を以下の領域に分類する。転写されるべき集積回路パターンが配置される領域を「集積回路パターン領域」といい、その外周の領域を「周辺領域」と言う。この集積回路パターン領域には、複数のチップ領域が配置される。

【0021】

5. 「遮光体」、「遮光領域」、「遮光膜」、「遮光パターン」と言うときは、その領域に照射される露光光のうち、40%未満を透過させる光学特性を有することを示す。一般に数%から30%未満のものが使われる。一方、「透明」、「透明膜」、「光透過領域」、「光透過パターン」と言うときは、その領域に照射される露光光のうち、60%以上を透過させる光学特性を有することを示す。一般に90%以上のものが使用される。

【0022】

6. ウエハ：集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0023】

7. デバイス面：ウエハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面を言う。

【0024】

8. 転写パターン：マスクによってウエハ上に転写されたパターンであって、具体的にはフォトリソパターンおよびフォトリソパターンをマスクとして実際に形成されたウエハ上のパターンを言う。

【0025】

9. レジストパターン：感光性樹脂膜をフォトリソグラフィの手法により、パターンニングした膜パターンを言う。なお、このパターンには当該部分に関して全く開口のない単なるレジスト膜を含む。

【0026】

10. 通常照明：非変形照明のことで、光強度分布が比較的均一な照明を言う。

【0027】

1 1. 変形照明：中央部の照度を下げた照明であって、斜方照明、輪帯照明、4重極照明、5重極照明等の多重極照明またはそれと等価な瞳フィルタによる超解像技術を含む。

【 0 0 2 8 】

1 2. スキャンニング露光：細いスリット状の露光帯を、ウエハとマスクに対して、スリットの長手方向と直交する方向に（斜めに移動させてもよい）相対的に連続移動（走査）させることによって、マスク上の回路パターンをウエハ上の所望の部分に転写する露光方法。この露光方法を行う装置をスキャナという。

【 0 0 2 9 】

1 3. ステップ・アンド・スキャン露光：上記スキャンニング露光とステッピング露光を組み合わせてウエハ上の露光すべき部分の全体を露光する方法であり、上記スキャンニング露光の下位概念に当たる。

【 0 0 3 0 】

1 4. ステップ・アンド・リピート露光：マスク上の回路パターンの投影像に対してウエハを繰り返しステップすることで、マスク上の回路パターンをウエハ上の所望の部分に転写する露光方法。この露光方法を行う装置をステッパという。

【 0 0 3 1 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 3 2 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【 0 0 3 3 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）

は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

## 【 0 0 3 4 】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

## 【 0 0 3 5 】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 3 6 】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために遮光部（遮光膜、遮光パターン、遮光領域等）およびレジスト膜にハッチングを付す場合もある。

## 【 0 0 3 7 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

## 【 0 0 3 8 】

## （実施の形態 1）

図 1 は、本実施の形態の半導体集積回路装置の主な製造工程フローを示している。マスクの製造工程 1 0 0 では、これから製造しようとしている半導体集積回路装置を形成するための各種パターンをウエハ上に転写するためのマスクを製造する。

## 【 0 0 3 9 】

続く、マスクの検査工程 1 0 1 では、マスクの製造工程 1 0 0 で製造されたマスクのパターンの良否を検査する。本実施の形態では、マスクのパターンをウエハ上のフォトリソ（以下、単にレジストという）膜に転写（露光）する工程 1 0 1 a と、ウエハ上に転写されたレジストパターンを検査する工程 1 0 1 b とを有している。すなわち、本実施の形態では、マスクのパターンの良否を、マスク検査装置で検査するのではなく、ウエハ上に転写されたレジストパターンを検



査することで判定する。

【 0 0 4 0 】

すなわち、実際のウエハ上に転写されたレジストパターンを検査の対象としていることにより、パターンの実質的な検査ができるので、マスク検査装置で検査する場合よりも検査の信頼性を向上させることができる。特に、位相シフトパターンを有するマスクでは、マスク上のパターンとウエハ上に形成されるパターンとが異なる場合があるためマスクのパターンの良否判定が難しいが、本実施の形態では実際のウエハ上のパターンを検査するので、その良否判定を容易にすることができる。したがって、半導体集積回路装置の歩留りおよび信頼性を向上させることができる。また、マスクの検査の信頼性を向上させることができるので、マスクの検査のし直し等を低減できる。このため、マスクの製造時間を短縮でき、半導体集積回路装置の開発および製造期間を短縮することができる。さらに、高価なマスク検査装置を不要とすることができ、検査のし直しにかかる費用を低減または削減できるので、マスクのコストを低減でき、半導体集積回路装置のコストを低減することが可能となる。なお、ウエハ上に転写されたパターンを検査することで、マスクのパターンの良否を検査する技術については、本願発明者らによる特願平 2 0 0 0 - 3 1 6 9 6 5 号（平成 1 2 年 1 0 月 1 7 日出願）に記載がある。

【 0 0 4 1 】

続くウエハ上のレジスト膜へのパターン転写工程 1 0 2 では、上記マスクの検査工程で得られた検査結果を加味しつつ、ウエハ上のレジスト膜に対してマスクを用いた露光処理を施すことにより、そのレジスト膜にマスクのパターンを転写する。本実施の形態では、マスクが欠陥を有していたとしても、その欠陥がウエハ上には転写されないように、ウエハ上にパターンを転写するものである。この際に用いる露光装置としては、上記ステッパを用いることもできるし、上記スキヤナを用いることもできる。また、上記通常照明を用いることもできるし、変形照明を用いることもできる。

【 0 0 4 2 】

続くウエハ上のパターンまたは領域の形成工程 1 0 3 では、上記露光処理によ

ってウエハ上に形成されたレジストパターンを、例えばエッチングマスクまたは不純物導入用マスクとして用いることにより、ウエハ上にパターンまたは領域を形成する。このパターンには、例えば配線または電極等のようなラインパターンやコンタクトホールまたはスルーホール等のようなホールパターン等がある。また、上記領域には、ウエルまたは半導体領域等のようなものがある。

## 【 0 0 4 3 】

次に、本実施の形態で用いるマスクの一例を図 2 ～ 図 1 7 によって説明する。本実施の形態で用いるマスクは、例えば実寸の 1 ～ 1 0 倍程度の寸法の集積回路パターンの原画を、縮小投影光学系等を通してウエハに転写するためのレチクルである。ここでは、ウエハ上にラインパターンを転写する場合に用いるマスクを例示するが、本発明の技術思想は、これに限定されるものではなく種々適用可能であり、例えば上記ホールパターン等を転写する場合に用いるマスクにも適用可能である。また、ここでは、マスクに 4 個のチップ領域が配置されている場合が例示されている。各マスクにおいて各チップ領域は、互いに同一のパターンが配置されている。ただし、1 枚のマスクに形成されるチップ領域の数は、これに限定されるものではなく種々変更可能であり、例えば後述のように 2 個または 3 個でも良い。

## 【 0 0 4 4 】

図 2 および図 3 は、上記通常のマスキ NM 1, NM 2 の一例を示している。図 2 および図 3 (a) はマスキ NM 1, NM 2 の全体平面図、(b) は (a) の A 1 - A 1 線および A 2 - A 2 線の断面図を示している。

## 【 0 0 4 5 】

マスキ NM 1, NM 2 は、そのチップ領域 C A における光透過領域および遮光領域が互いに反転するものが例示されている。また、ここでは、マスキ NM 1 を用いることで転写されるパターンと、マスキ NM 2 を用いることで転写されるパターンとで同一となる場合が例示されているが、マスキ NM 1 を用いる場合は、ウエハ上でネガ型のレジスト膜を用い、マスキ NM 2 を用いる場合は、ウエハ上でポジ型のレジスト膜を用いる。

## 【 0 0 4 6 】

このマスクNM1, NM2を構成するマスク基板1は、例えば平面四角形状に形成された厚さ6mm程度の透明な合成石英ガラス基板等からなる。マスクNM1, NM2のマスク基板1の第1主面は、その大半が、例えばクロム(Cr)またはクロムと酸化クロム( $\text{CrO}_x$ )との積層膜等のようなメタル膜からなる遮光膜2aによって覆われている。ただし、マスクNM1の上記チップ領域CAにおいては、その遮光膜2aの一部が除去されて複数の光透過パターン3aが配置されている。この光透過パターン3aは、上記ラインパターンとしてウエハ上に転写されるパターンである。一方、マスクNM2の上記チップ領域CAにおいては、遮光膜2aが除去されてチップ領域形状の光透過領域3bが配置されている。そして、その光透過領域3b内には、例えば上記遮光膜2aと同一材料からなる複数の遮光パターン2bが配置されている。この遮光パターン2bは、上記ラインパターンとしてウエハ上に転写されるパターンである。このようなマスクNM1, NM2の周辺領域においては、遮光膜2aの一部が除去されて光透過パターン3c, 3dが形成されている。この光透過パターン3c, 3dは、マスクNM1, NM2とウエハまたは露光装置との位置合わせに用いるパターンである。

## 【0047】

図4は、上記レジストマスクの一例であるマスクRM1を示している。図4(a)はマスクRM1の全体平面図、(b)は(a)のA3-A3線の断面図、(c)は(b)の変形例であって(a)のA3-A3線の断面図を示している。

## 【0048】

マスクRM1を用いる場合は、ウエハ上でネガ型のレジスト膜を用いる。このマスクRM1の第1主面の中央には、有機膜からなる遮光膜4aが、4個のチップ領域CAを包含するように平面四角形状にパターン形成されている。そして、その遮光膜4aの一部が除去されて複数の光透過パターン3aが形成されている。この遮光膜4aは、例えばg線(波長436nm)、i線(波長365nm)、KrFエキシマレーザ光(波長248nm)、ArFエキシマレーザ光(波長193nm)またはF<sub>2</sub>レーザ光(波長157nm)等のような露光光を吸収する性質を有しており、メタルからなる遮光体とほぼ同様の遮光機能を有している。

## 【 0 0 4 9 】

図 4 (b) には、その遮光膜 4 a が感光性樹脂膜 (レジスト膜) の単体膜で構成されている場合が例示されている。この感光性樹脂膜の材料としては、例えば  $\alpha$ -メチルスチレンと  $\alpha$ -クロロアクリル酸の共重合体、ノボラック樹脂とキノンジアジド、ノボラック樹脂とポリメチルペンテン-1-スルホン、クロロメチル化ポリスチレン等を主成分とするものを用いた。ポリビニルフェノール樹脂等のようなフェノール樹脂やノボラック樹脂にインヒビタおよび酸発生剤を混合した、いわゆる化学増幅型レジスト等を用いることができる。ここで用いる遮光用のレジスト膜の材料としては、投影露光装置の光源に対し遮光特性を持ち、マスク製造プロセスにおけるパターン描画装置の光源、例えば電子線あるいは 230 nm 以上の光に感度を有する特性を持っていれば良く、前記材料に限定されるものではなく種々変更可能である。ポリフェノール系、ノボラック系樹脂を約 100 nm の膜厚に形成した場合は、例えば 150 nm ~ 230 nm 程度の波長で透過率がほぼ 0 であり、例えば ArF エキシマレーザ光 (波長 193 nm)、F<sup>2</sup> レーザ光 (波長 157 nm) 等に十分なマスク効果を有する。ここでは、波長 200 nm 以下の真空紫外光を対象にしたが、これに限定されない。KrF エキシマレーザ光 (波長 248 nm) や i 線 (波長 365 nm) 等のように波長が 200 nm よりも長い波長の露光光を用いることもできる。その場合は、他の感光性樹脂膜材料を用いるか、露光光に対して吸光性を有する吸収材や遮光性を有する遮光材を感光性樹脂膜に添加することが必要である。これにより、遮光膜 4 a が感光性樹脂膜の単体膜であっても、例えば g 線、i 線または KrF エキシマレーザ光等のような波長が 200 nm 以上の露光光に対して十分な減光性または遮光性を持たせることができる。

## 【 0 0 5 0 】

また、図 4 (c) には、上記遮光膜 4 a が、例えば吸光性有機膜上に感光性樹脂膜を堆積した積層膜で構成されている場合が例示されている。吸光性有機膜は、例えばポリイミド樹脂等のような反射防止膜からなり、上記波長が 200 nm 以上の露光光に対して吸光性、減光性または遮光性を有する材料からなる。これにより、上記波長が 200 nm 以上の露光光に対しても十分な減光性または遮光

性を持たせることができる。

#### 【 0 0 5 1 】

このレジストマスクの場合、集積回路パターン領域（チップ領域CA）でのエッチングプロセスを無くすことができる。また、有機膜からなる遮光体をマスク基板1に損傷を与えることなく簡単に除去でき、また、集積回路パターンを転写するための新たなマスクパターンを短時間のうちに容易に形成することができる。これらにより、マスクのQ T A T (Quick Turn Around Time) を実現できる。また、マスクの製造コストを低減できる。さらに、集積回路パターン領域において遮光体のパターン加工時にエッチングを行わないので、エッチングによるパターン寸法誤差を無くすことができる分、転写パターンの寸法精度を向上させることができる。また、集積回路パターン領域においてエッチングを行わないので、欠陥の発生率も大幅に低減できる。したがって、信頼性の高いマスクを提供することができる。なお、有機膜によって遮光パターンを形成する技術については、本願発明者らによる特願平11-185221号（平成11年6月30日出願）に記載がある。また、遮光膜を吸光性有機膜と感光性有機膜との積層膜とする技術については、本願発明者らによる特願2000-328159号および特願2000-328160号（両出願ともに平成12年10月27日出願）に記載がある。

#### 【 0 0 5 2 】

このマスクRM1の遮光膜4aを除去した場合の状態を図5に示す。図5（a）はマスク基板1の平面図、（b）は（a）のA3-A3線の断面図を示している。この場合、マスク基板1の第1主面の中央に、4個のチップ領域を包含するような平面四角形状の光透過領域3eが配置されている。その光透過領域3eの周囲は、遮光膜2aで取り囲まれている。このマスクRM1の遮光膜2aの材料は、上記クロム等に限定されるものではなく、例えばタングステン、モリブデン、タンタルまたはチタン等のような高融点金属、窒化タングステン等のような窒化物、タングステンシリサイド ( $WSi_x$ ) やモリブデンシリサイド ( $MoSi_x$ ) 等のような高融点金属シリサイド（化合物）、あるいはこれらの積層膜を用いても良い。レジストマスクの場合は、有機膜からなる遮光膜4aを除去した後、

そのマスク基板 1 を洗浄し再度使用する場合（再生）があるので、耐酸化性および耐摩耗性に富み、耐剥離性に富むタングステン等のような高融点金属は、遮光膜 2 a の材料として好ましい。

## 【 0 0 5 3 】

また、図 4 のマスク RM 1 にペリクル 5 を装着した場合を図 6 に示す。図 6 （ a ）は、マスク RM 1 の全体平面図、（ b ）は（ a ）の A 3 - A 3 線の断面図であってマスク RM 1 を露光装置に装着している際の状態を示している。

## 【 0 0 5 4 】

ペリクル 5 は、透明な保護膜 5 a を持つ構成体であり、ペリクルフレーム 5 b を介してマスク基板 1 の第 1 主面側に接合されている。ペリクル 5 の保護膜 5 a は、平面的に 4 個のチップ領域 C A を覆うように配置され、また、断面的にマスク基板 1 の第 1 主面あるいは第 1、2 主面から一定の距離を隔てて設けられている。この一定の距離は、保護膜 5 a の表面上に付着した異物がウエハに転写されないように設計されている。この保護膜 5 a には、外部の異物がレジストマスク RM 1 に付着するのを防止する機能の他、有機膜からなる遮光体に起因する異物が、露光時にウエハ等に付着するのを防止する機能を有している。

## 【 0 0 5 5 】

上記ペリクルフレーム 5 b の基部は、メタルからなる遮光膜 2 a に直接接触させた状態で接合されている。ペリクルフレーム 5 b を有機膜からなる遮光膜 4 a 上で直接接触させた状態で接合させると、メタルに比べて機械的強度が低い有機膜（遮光膜 4 a ）が剥離する結果、ペリクル 5 も剥離してしまう場合がある。また、レジストマスク RM 1 の使用後にペリクル 5 を取り外す際、有機膜からなる遮光膜 4 a が剥離したり削れたりすることで異物が発生する場合がある。ペリクルフレーム 5 b の基部をメタルからなる遮光膜 2 a に直接接触させた状態で接合することにより、それらの問題を防止できる。また、上記異物発生の問題を回避する観点から、露光装置にレジストマスク RM 1 を装着した際、露光装置のマスク装着部 6 は、マスク RM 1 のメタルからなる遮光膜 2 a （図 6 （ a ）の破線で示す領域 6 A ）に接触されるようになっている。なお、ここでは、マスク装着部 6 におけるマスクの保持方式として、例えば真空吸引方式が示されている。

## 【 0 0 5 6 】

図 7 は、上記レジストマスクの他の一例であるマスク RM 2 を示している。図 7 ( a ) はマスク RM 2 の全体平面図、 ( b ) は ( a ) の A 4 - A 4 線の断面図、 ( c ) は ( b ) の変形例であって ( a ) の A 4 - A 4 線の断面図を示している。

## 【 0 0 5 7 】

このマスク RM 2 は、上記マスク RM 1 のチップ領域における光透過領域および遮光領域の配置を反転させたものを例示している。上記マスク RM 1 を用いることで転写されるパターンと、マスク RM 2 を用いることで転写されるパターンとで同一となる場合が例示されている。ただし、マスク RM 2 を用いる場合は、ウエハ上でポジ型のレジスト膜を用いる。

## 【 0 0 5 8 】

マスク RM 2 では、そのマスク基板 1 の第 1 主面の中央において上記チップ領域 CA の遮光膜 2 a が除去されてチップ領域形状の 4 個の光透過領域 3 b が配置されている。そして、その各々の光透過領域 3 b 内には、有機膜からなる複数の遮光パターン 4 b が配置されている。この遮光パターン 4 b は、上記ラインパターンとしてウエハ上に転写されるパターンである。この遮光パターン 4 b の構造 ( 材料を含む ) は、例えば上記遮光膜 4 a と同じである。図 7 ( b ) には、遮光パターン 4 b が、例えば感光性樹脂膜の単体膜で構成された場合が示されている。また、図 7 ( c ) には、遮光パターン 4 b が、上記吸光性有機膜 4 b 2 上に上記感光性樹脂膜 4 b 1 を堆積することで構成された場合が示されている。

## 【 0 0 5 9 】

このマスク RM 2 の遮光パターン 4 b を除去した場合の状態を図 8 に示す。図 8 ( a ) はマスク基板 1 の平面図、 ( b ) は ( a ) の A 4 - A 4 線の断面図を示している。この場合、マスク基板 1 の第 1 主面の中央に、4 個の平面四角形状の光透過領域 3 b が配置されている。各光透過領域 3 b は、チップ領域に相当している。その各光透過領域 3 b の周囲は、メタルからなる遮光膜 2 a で取り囲まれている。このマスク RM 2 の遮光膜 2 a の材料は、上記マスク RM 1 の遮光膜 2 a と同じである。また、図 7 のマスク RM 2 にペリクル 5 を装着した場合を図 9

に示す。図 9 (a) は、マスク RM 2 の全体平面図、(b) は (a) の A 4 - A 4 線の断面図であってマスク RM 2 を露光装置に装着している際の状態を示している。これについては、前記図 6 で説明したマスク RM 1 と同じなので説明を省略する。このようなマスク RM 2 でもマスク RM 1 と同様の効果を得ることができる。

## 【 0 0 6 0 】

図 1 0 は、上記レジストマスクの他の一例であるマスク RM 3 を示している。図 1 0 (a) はマスク RM 3 の全体平面図、(b) は (a) の A 5 - A 5 線の断面図を示している。

## 【 0 0 6 1 】

このマスク RM 3 は、部分レジストマスクを例示している。マスク RM 3 を用いる場合は、ウエハ上でポジ型のレジスト膜を用いる。マスク RM 3 におけるマスク基板 1 の第 1 主面の中央には、上記図 7 のマスク RM 2 と同様に、4 個の光透過領域 3 b が配置されている。各光透過領域 3 b には、メタルからなる遮光パターン 2 b と、有機膜からなる遮光パターン 4 b との両方が配置されている。この遮光パターン 2 b、4 b が、上記ラインパターンとしてウエハ上に転写されるパターンである。この遮光パターン 2 b の構造（材料を含む）は、上記マスク RM 1、RM 2 の遮光膜 2 a と同じである。また、遮光パターン 4 b の構造（材料を含む）は、上記マスク RM 2 と同じである。マスク RM 3 の周辺領域の遮光膜 2 a のパターンニングに際しては、ポジ型のレジスト膜を用いる。これにより、マスク RM 3 の遮光膜 2 a のパターンを電子線等により描画する際に、描画面積を小さくできるので、パターン描画時間を短縮できる。なお、光透過領域 3 b の近傍に設けられた光透過パターン 3 f は、マスク RM 3 にパターンを電子線描画装置等を用いて形成する際に、マスク RM 3 の位置を直接検出するためのパターンである。これにより、電子線描画装置によるパターン描画位置精度を向上させることが可能となる。

## 【 0 0 6 - 2 】

このマスク RM 3 の遮光パターン 4 b を除去した場合の状態を図 1 1 に示す。図 1 1 (a) はマスク基板 1 の平面図、(b) は (a) の A 5 - A 5 線の断面図



を示している。この場合、各光透過領域 3 b には、メタルからなる遮光パターン 2 b が残されている。各光透過領域 3 b の周囲は、メタルからなる遮光膜 2 a で取り囲まれている。このマスク RM 3 の遮光膜 2 a および遮光パターン 2 b の材料は、上記マスク RM 1 の遮光膜 2 a と同じである。また、図 1 0 のマスク RM 3 にペリクル 5 を装着した場合を図 1 2 に示す。図 1 2 (a) は、マスク RM 3 の全体平面図、(b) は (a) の A 5 - A 5 線の断面図であってマスク RM 3 を露光装置に装着している際の状態を示している。これについては、前記図 6 で説明したマスク RM 1 と同じなので説明を省略する。

## 【 0 0 6 3 】

このようなマスク RM 3 では、前記マスク RM 1 で得られた効果の他に、以下の効果を得ることができる。集積回路パターンを転写するための遮光パターンの一部のみを有機膜で構成したことにより、遮光パターンの全てを有機膜で構成する場合に比べて有機膜からなる遮光パターン 4 b の描画時間を大幅に短縮できるので、マスクの製造時間および再生時間を大幅に短縮できる。したがって、半導体集積回路装置の開発時間および製造時間を短縮できる。なお、部分レジストマスク技術については、本願発明者らによる特願平 2 0 0 0 - 2 0 6 7 2 8 号および特願 2 0 0 0 - 2 0 6 7 2 9 号（共に平成 1 2 年 7 月 7 日出願）に記載がある。

## 【 0 0 6 4 】

図 1 3 は、上記レジストマスクの他の一例であるマスク RM 4 を示している。図 1 3 (a) はマスク RM 4 の全体平面図、(b) は (a) の A 6 - A 6 線の断面図を示している。このマスク RM 4 は、部分レジストマスクを例示している。このマスク RM 4 では、光透過領域 3 b の周囲を縁取るように遮光パターン 2 c が設けられ、その外周からマスク基板 1 の外周まで遮光膜が除去されて光透過領域 3 g となっている。この場合、アライメント用の光透過パターン 3 c, 3 d, 3 f に代えて、それらの機能を有する遮光パターン 2 d, 2 e, 2 f が配置されている。マスク RM 4 の周辺領域の遮光パターン 2 c ~ 2 f のパターンニングに際しては、ネガ型のレジスト膜を用いる。これにより、マスク RM 4 の遮光パターン 2 c ~ 2 f を電子線等により描画する際に、描画面積を小さくできるので、

パターン描画時間を短縮できる。それ以外は、図 1 0 のマスク RM 3 と同じである。マスク RM 4 の周辺領域構造は、前記マスク NM 1, NM 2, RM 1, RM 2 に適用できる。また、マスク RM 1 の集積回路パターン領域の構造をレジストマスク RM 3, RM 4 に適用することもできる。

## 【 0 0 6 5 】

このマスク RM 4 の遮光パターン 4 b を除去した場合の状態を図 1 4 に示す。図 1 4 (a) はマスク基板 1 の平面図、(b) は (a) の A 6 - A 6 線の断面図を示している。この場合、マスク基板 1 上には、メタルからなる遮光パターン 2 b, 2 c, 2 d, 2 e, 2 f が残されている。このマスク RM 4 の遮光パターン 2 b, 2 c, 2 d, 2 e, 2 f の材料は、上記マスク RM 1 の遮光膜 2 a と同じである。また、図 1 3 のマスク RM 3 にペリクル 5 を装着した場合を図 1 5 に示す。図 1 5 (a) は、マスク RM 4 の全体平面図、(b) は (a) の A 6 - A 6 線の断面図であってマスク RM 4 を露光装置に装着している際の状態を示している。ペリクル 5 のペリクルフレーム 5 b の基部および露光装置のマスク装着部 6 は、マスク基板 1 に直接接触している。この理由は、前記図 6 のマスク RM 1 で説明したのと同じである。それ以外は、前記図 6 で説明したマスク RM 1 と同じなので説明を省略する。このようなマスク RM 4 でも、前記マスク RM 1 ~ RM 3 で得られたのと同様の効果を得ることができる。

## 【 0 0 6 6 】

上記の例では、チップ領域 CA がいずれも 4 個の場合を示したが、本実施の形態は、これに限定されるものではなく種々変更可能である。図 1 6 および図 1 7 は、そのチップ領域 CA のレイアウトの変形例を示している。マスク M は、通常のマスキおよびレジストマスクの双方を含むものである。図 1 6 のマスク M はチップ領域 CA が 2 個の場合、図 1 7 のマスク M はチップ領域 CA が 3 個の場合をそれぞれ示している。具体的な構造は、前記マスク NM 1, NM 2, RM 1 ~ RM 4 で説明したのと同じである。また、マスク上の遮光体を全て上記有機膜で構成することもできる。

## 【 0 0 6 7 】

次に、このようなマスクの製造方法の一例を図 1 8 ~ 図 2 3 により説明する。

図 1 8 は、レジストマスクの製造方法におけるフロー図の一例を示している。図 1 9 は、レジストマスクの基本的な製造工程におけるマスク基板の要部断面図である。なお、通常のマスクの製造方法については、一般的な製造方法と同じなので説明を省略する。

## 【 0 0 6 8 】

まず、図 1 9 (a) に示すように、上記マスク基板 1 を準備する (工程 1 0 0 A 1)。続いて、図 1 9 (b) に示すように、マスク基板 1 の第 1 主面上に有機膜 4 を塗布する。この有機膜 4 の材料は、上記遮光膜 4 a と同じものであり、前記したように、例えば感光性樹脂の単体膜または吸光性有機膜上に感光性樹脂膜を堆積した積層膜からなる (工程 1 0 0 A 2)。その後、その有機膜 4 に対して電子線描画装置等によって所望のパターンを転写する (工程 1 0 0 A 3)。その後、有機膜 4 に対して現像処理を施すことにより、図 1 9 (c) に示すように、有機膜 4 からなる遮光膜 4 a または遮光パターン 4 b をパターニングする (工程 1 0 0 A 4)。

## 【 0 0 6 9 】

また、このレジストマスクの製造方法の変形例を図 1 8 および図 2 0 ~ 図 2 3 により説明する。ここでは、例えば図 4 のマスク RM 1 の製造方法を中心に説明する。図 2 0 ~ 図 2 3 の (a) はメタルを有するレジストマスクの製造工程中における平面図、(b) は (a) の A 7 - A 7 線の断面図を示している。

## 【 0 0 7 0 】

まず、図 2 0 に示すように、上記マスク基板 1 を準備する (工程 1 0 0 A 1)。続いて、図 2 1 に示すように、マスク基板 1 の第 1 主面上に、メタル膜 2 をスパッタリング法等によって堆積する。このメタル膜 2 の材料は、前記遮光膜 2 a と同じである (工程 1 0 0 B 1)。その後、メタル膜 2 上に、レジスト脂膜 7 a を塗布した後 (工程 1 0 0 B 2)、そのレジスト膜 7 a に対して電子線描画装置等を用いて所望のパターンを描画する (工程 1 0 0 B 3)。

## 【 0 0 7 1 】

次いで、レジスト膜 7 a に対して現像処理を施すことによりレジスト膜 7 a のパターンを形成した後 (工程 1 0 0 B 4)、これをエッチングマスクとして下層

のメタル膜 2 をエッチング法によってパターニングすることにより、図 2 2 に示すように、メタルからなる遮光膜 2 a をパターニングする。この段階のマスク基板 1 は、前記図 5 で示したのと同じである。なお、図 1 0 および図 1 3 で説明したマスク RM 3, RM 4 の場合は、この段階でチップ領域 C A 内のメタルからなる遮光パターン 2 b も同時にパターニングする（工程 1 0 0 B 5）。

## 【 0 0 7 2 】

次いで、図 2 3 に示すように、マスク基板 1 の第 1 主面上に有機膜 4 を塗布する。この有機膜 4 の材料は、上記遮光膜 4 a と同じものであり、前記したように、例えば感光性樹脂の単体膜または吸光性有機膜上に感光性樹脂膜を堆積した積層膜からなる。続いて、有機膜 4 上に、帯電防止用の水溶性導電有機膜 8 を塗布する。水溶性導電有機膜 8 としては、例えばエスペーサ（昭和電工 KK 製）やアクアセーブ（三菱レーヨン社製）等を用いた（工程 1 0 0 A 2）。その後、水溶性導電有機膜 8 とアース（接地電位）9 とを電氣的に接続した状態で、パターン描画のための電子線描画処理を行った。これにより、微細なパターンを高い精度で描画することができた（工程 1 0 0 A 3）。その後、有機膜 4 に対して現像処理を施すことにより、図 4（図 7, 図 1 0, 図 1 3）に示したように、有機膜 4 からなる遮光膜 4 a（または遮光パターン 4 b）をパターニングする（工程 1 0 0 A 4）。上記水溶性導電有機膜 8 は、有機膜 4 の現像処理時に除去した。

## 【 0 0 7 3 】

有機膜 4 やレジスト膜 7 a のパターン描画は、電子線描画に限らず、例えば 2 3 0 nm 以上の紫外線によるパターン描画等も適用できる。また、このような有機膜 4 からなる遮光膜 2 a や遮光パターン 2 b を形成した後、露光光照射に対する耐性を向上させべく、熱処理を付加したり、紫外光を強力に照射したりする、いわゆるレジスト膜のハードニング処理を行うのも有効である。また、有機膜からなる遮光膜 2 a や遮光パターン 2 b の酸化を防止することを目的として、パターン面を窒素（N<sup>2</sup>）等の不活性ガス雰囲気を保つことも有効である。

## 【 0 0 7 4 】

次に、上記マスク（M, NM 1, NM 2, RM 1 ~ RM 4 等で例示したマスク）の検査方法について説明する。前記図 1 のマスクの検査工程 1 0 0 を詳細に示

したフロー図を図 2 4 に示す。本実施の形態では、前記したように、検査対象のマスクのパターンをウエハ上のレジスト膜に、例えば上記ステッパまたはスキャナ等のような縮小投影露光装置を用いて転写する（工程 1 0 1 a 1、工程 1 0 1 a）。続いて、ウエハ上のレジスト膜に対して現像処理を施すことにより、ウエハ上にレジスト膜のパターンを形成する（工程 1 0 1 a 2、工程 1 0 1 a）。その後、ウエハ上に転写されたパターンをパターン欠陥検査装置等を用いて欠陥の有無を検査する。ここでは、欠陥検査の方法として、例えば上記チップ領域 C A を単位として、同一ウエハ上の異なるチップ領域のパターン形状を互いに比較する方法を採用した（工程 1 0 1 b）。この検査により、マスクの欠陥情報を得る。このように、本実施の形態では、欠陥情報を持った状態で、マスクを完成する。その後、検査の終了したマスクの第 1 主面に前記したようにペリクルを装着し（工程 1 0 1 c）、続く図 1 のウエハ上のレジスト膜へのパターン転写工程 1 0 2 に移行する。

#### 【 0 0 7 5 】

次に、上記マスク（M，NM 1，NM 2，RM 1～RM 4 等で例示したマスク）の検査方法と、その検査結果に基づいた集積回路パターンの露光方法との具体的な一例を図 2 5 のフロー図により説明する。

#### 【 0 0 7 6 】

まず、検査対象のマスクを用いて検査用のウエハ上のレジスト膜に通常の露光処理を施した後、現像処理を施すことにより、検査用のウエハ上にレジストパターンを形成する（工程 1 0 1 a）。なお、ここで言う通常の露光処理は、多重露光と対比する言葉であって、多重露光でないという意味のものである。

#### 【 0 0 7 7 】

続いて、検査用のウエハの異なるチップ領域のパターンの形状等を欠陥検査装置によって比較することで、転写されたレジストパターンの良否を検査する。ここで欠陥無しと判定された場合は、そのマスクを用いて実際の製品用のウエハのレジスト膜に対して露光処理を施すことにより、そのレジスト膜に集積回路パターンを転写する（工程 E X P 1）。一方、欠陥有りと判定された場合は、後述のマス킹ングブレードを用いた露光方法（工程 E X P 2）、多重露光方法、マスク

の修正またはマスクの再生のいずれかを、マスクの製造時間、信頼性、コストまたはそれらの幾つかを検討して一番良いものを選択する。ただし、本発明の技術思想は、実際の集積回路パターンをウエハ上に転写する際に、欠陥を有するマスクを用いても、その欠陥がウエハ上に実質的に転写されないようにする技術を優先的に選択することにより、極力マスクの修正や再生をしないようにする。これにより、マスクの製造時間を短縮できる。また、マスクのコストを低減できる。

## 【 0 0 7 8 】

多重露光方法は、多重露光を行うことで欠陥が消滅または低減することを利用した技術である。この場合、検査対象のマスクを用いて検査用のウエハのレジスト膜に対して多重露光を行った後（工程 1 0 1 a）、現像処理を行い、そのウエハ上に形成されたレジストパターンに対して上記の欠陥検査を行う（工程 1 0 b）。その検査の結果、欠陥無しと判定された場合は、そのマスクを用いて実際の製品用のウエハ上のレジスト膜に対して、上記検査で行った多重露光処理を施すことにより、そのレジスト膜に集積回路パターンを転写する。この場合の検査で行った多重露光処理とは、例えば検査で 2 重露光を行った場合は、実際の集積回路パターンを転写するための露光処理でも 2 重露光を、検査で 3 重または 4 重露光を行った場合は、実際の集積回路パターンを転写するための露光処理でも 3 重または 4 重露光処理を行う、という意味である（工程 E X P 3）。一方、多重露光処理でも、ウエハ上の欠陥が解消されない場合は、上記マスキングブレードを用いた露光方法（工程 E X P 2）、マスクの修正またはマスクの再生のいずれかを、マスクの製造時間、信頼性、コストまたはそれらの幾つかを検討して一番良いものを選択する。ここでも、マスクの製造時間を短縮し、また、マスクのコストを低減する観点等から、実際の集積回路パターンをウエハ上に転写する際に、欠陥を有するマスクを用いても、その欠陥がウエハ上に実質的に転写されないようにする技術を優先的に選択することで、極力マスクの修正や再生をしないようにする。

## 【 0 0 7 9 】

次に、上記マスキングブレードを用いた露光方法、多重露光方法、マスクの修正およびマスクの再生について説明する。

## 【 0 0 8 0 】

まず、マスキングブレードを用いた露光方法について説明する。図 2 6 は、上記検査段階における露光、現像処理後の検査用のウエハ 1 0 W t の全体平面図の一例を示している。また、図 2 7 は、図 2 6 の A 8 - A 8 線の断面図を示している。ウエハ 1 0 W t を構成する半導体基板 1 0 S は、例えばシリコン単結晶からなり、そのデバイス面上には、例えば酸化シリコン膜等からなる絶縁膜 1 1 a が堆積されている。絶縁膜 1 1 a の上には、例えばメタルや多結晶シリコン等からなる導体膜 1 2 a が堆積されている。導体膜 1 2 a 上には、検査対象のマスクにより転写されたレジストパターン 1 3 a が形成されている。ここでは、検査対象の 1 枚のマスクのみを用いてウエハ 1 0 W t の主面全面に露光処理を行った場合が例示されている。また、ここでは、1 枚のマスクに 4 個のチップ領域が配置されたマスクを用いた場合を例示している。なお、ウエハ 1 0 W t 上の 4 個のチップ領域 W C A を有する二点鎖線は、1 ショットの転写領域 S 1 を示している。

## 【 0 0 8 1 】

ここでは、上記欠陥検査により、ウエハ 1 0 W t 上に欠陥 F 1 を検出したことを例示している。この欠陥 F 1 は、どのショット S 1 でも同じ位置に存在している。したがって、検査対象のマスクの同じ位置に、その原因があることが分かる。そこで、実際の集積回路パターンを転写するための露光処理では、その欠陥 F 1 の原因があるマスク上のチップ領域をマスキングブレードで遮光した状態で、ウエハ上のレジスト膜に露光処理を施す。

## 【 0 0 8 2 】

図 2 8 は、その様子を模式的に示している。図 2 8 ( a ) は、その様子を模式的に示す平面図、( b ) は ( a ) の A 9 - A 9 線の模式的な断面図を示している。ここでは図面を分かり易くするために露光装置の光学系等は図示していない。また、マスクは、図 4 等で説明したマスク R M 1 を例示したが、これに限定されるものではなく、上記マスク N M 1 , N M 2 , R M 2 ~ R M 4 , M でも適用できる。

## 【 0 0 8 3 】

ウエハ 1 0 W の主面上には、レジスト膜 1 4 a が塗布されている。上記マスク

の検査の結果、マスクRM1の左下側のチップ領域CAに欠陥の原因が存在すると判明したので、その領域をマスキングブレードMBで覆い、その領域がウエハ10Wの主面上に転写されないように、図28(b)の矢印で示す露光光Lpを遮った状態でウエハ10Wの主面上のレジスト膜に露光を行う。なお、ここでマスキングブレードMBが遮光しようとしているのは、ウエハ10Wの主面において、上記1ショット領域のチップ領域がウエハの外周よりも外側にはみ出すことのない内部領域、すなわち、完全なチップ領域として転写される領域である。

【0084】

このように、マスクRM1において欠陥が存在するチップ領域CAを隠した状態で露光することにより、すなわち、マスクRM1において欠陥の無いチップ領域CAを選択して露光処理を行うことにより、マスクRM1の欠陥を修正することなく、また、マスクRM1を再生することなく、欠陥を有するマスクRM1をそのまま使用して、実際の集積回路パターンをウエハ上に転写するための露光処理を行うことができる。これにより、欠陥修正や再生の時間を省くことができるので、マスクRM1の納期の遅れを解消でき、半導体集積回路装置のQ T A Tを実現することができた。本発明者らの検討によれば、上記マスキングブレードを用いた露光処理の場合、ウエハへの露光時間は1.5倍程度に増加するが、欠陥修正作業を必要としないため、半導体集積回路装置の製造の停滞を防止することができ、実質的にQ T A Tで半導体集積回路装置を製造できた。従って、例えばA S I C等のように顧客からマスクデータを貰ってから半導体集積回路装置を完成させるまでの時間短縮が課題となっている製品においては特に有効である。また、レジストマスクでは、エッチングプロセスが不要なためマスクをQ T A Tで製造できるという優れた特徴があるが、この方式によれば、マスクの欠陥修正を無くすことができ、その欠陥修正での時間のロスを無くすることができるので、そのレジストマスクの優れた特性を十分に生かすことができる。また、マスク（通常のマスクおよびレジストマスク）の欠陥修正装置を不要とすることができ、マスクの製造の設備投資を最小限に抑えることができるので、マスクのコストを低減することができる。したがって、半導体集積回路装置のコストを低減することが可能となる。



## 【0085】

次に、上記多重露光方法について説明する。ここでは、レジストマスクを用いて多重露光する場合について説明する。図29(a)は、そのマスクRM5の全体平面図、(b)は図29(a)のA10-A10線の断面図を示している。

## 【0086】

マスクRM5は、そのチップ領域CAが、前記図16のタイプのものを示している。マスク基板5の第1主面の中央には、例えば平面長方形の2個のチップ領域CA1, CA2(CA)が遮光膜2aを隔てて互いの長辺が平行になるように並んで配置されている。チップ領域CA1, CA2には、互いに形状、配置位置および寸法等が同一のマスクパターンが形成されている。このマスクパターンは、上記所定の集積回路パターンを転写するためのパターンであり、光透過領域3bと、その領域に配置された遮光パターン4bとで構成されている。なお、上記所定の集積回路パターンには、実質的に集積回路を構成するパターンの他、例えば重ね合わせに用いるマークパターン、重ね合わせ検査に用いるマークパターンまたは電気的特性を検査する際に用いるマークパターン等のような実質的に集積回路を構成しないパターンも含む。

## 【0087】

次に、このマスクRM5を用いて2重露光する場合を例として上記多重露光方法を説明する。図30は、上記マスクRM5を用いた露光処理時におけるウエハ10Wt(10W)の全体平面図が例示されている。

## 【0088】

露光方法としては、例えばステップ・アンド・スキャン露光方法を採用した。露光条件は、例えば次の通りである。すなわち、露光光には、例えば露光波長248nm程度のKrFエキシマレーザー光を用い、光学レンズの開口数NA=0.65、照明の形状は円形であり、コヒーレンシ( $\sigma$ :sigma)値=0.7である。ただし、露光光は上記したものに限定されるものではなく種々変更可能であり、例えば波長が193nm程度のArFエキシマレーザーを用いても良い。

## 【0089】

ウエハ10Wtの主面上には、例えば厚さ500nm程度のポジ型のレジスト

膜が堆積されている。2重露光の場合は、1回目の露光量は必要露光量の $1/2$ とし、2重露光することにより必要露光量が確保されるようにする。ここでは、その1回目の露光量は、例えば $25\text{ mJ}/\text{cm}^2$ とし、2重露光により、例えば $50\text{ mJ}/\text{cm}^2$ となるように調整した。マスクRM5内の最小パターンは、ウエハ10Wt上換算で、例えば150 nmのライン・アンド・スペースである。

## 【0090】

まず、上記マスクRM5のチップ領域CA1, CA2を上記スキヤニング露光処理によってウエハ10Wtの主面上の領域15Aに転写する。すなわち、マスクRM5とウエハ10Wtとを各々の主面を平行に保ちながら相対的に逆方向（図30の上下縦方向）に移動させてウエハ10Wtの主面上にスリット状の露光領域を移動させることにより、マスクRM5のチップ領域CA1, CA2内のマスクパターン（集積回路パターン）を、ウエハ10Wtの主面上の領域5Aのチップ領域WCA1, WCA2に転写する。続いて、ウエハ10Wtを図30の右方向に水平移動し、領域15B, 15Cを、上記と同様に順次露光する。これら領域15A, 15B, 15Cでの露光量は、必要量の $1/2$ 程度とする。

## 【0091】

続いて、例えばチップ領域WCA1, WCA2の一個分だけウエハ10Wtを図30の上方向に移動させた後、領域15Dを上記と同様に露光する。この際、本実施の形態においては、領域15D内のチップ領域WCA1と、先に転写した領域15C内のチップ領域WCA2とが平面的に重なるようにする。すなわち、マスクRM5におけるチップ領域CA2が転写されたチップ領域WCA2に、同じマスクRM5におけるチップ領域CA1を平面的に重ねて転写する。

## 【0092】

続いて、ウエハ10Wtを図30の左方向に水平移動し、領域15Eを、上記と同様に順次露光する。ここでは、領域15E内のチップ領域WCA1と、先に転写した領域15B内のチップ領域CA2とが平面的に重なるようにする。すなわち、マスクRM5におけるチップ領域CA2が転写されたチップ領域WCA2に、同じマスクRM5におけるチップ領域CA1を平面的に重ねて転写する。これら領域15D, 15Eでの露光量は、必要量の $1/2$ 程度とする。したがって

、領域15A～15Eが重なったところでは露光量が必要量となる。このような多重露光処理動作をウエハ10Wtの主面全面内において繰り返すことにより、ウエハ10Wt上に複数のチップ領域を転写する。

## 【0093】

なお、上記の説明では、最外周の転写領域15A、15B、15Cのチップ領域WCA1が2重露光されていないが、この部分については、例えばマスクRM5のチップ領域CA1をマスキングブレードにより遮光し、マスクRM5のチップ領域CA2が、図30のウエハ10Wtのチップ領域WCA1に平面的に重なるようにした状態で露光することにより2重露光を行った。

## 【0094】

このような2重露光処理により、マスクRM5に欠陥が存在していたとしても、その欠陥がウエハ10Wt(10w)に転写されるのを防止することができる。これは、次のような理由からである。例えば2重露光の場合、上記のように1回の露光量は、ウエハ10Wt(10W)上にパターンが転写されるのに必要な露光量の1/2としている。一方、現在の欠陥発生レベルでは、マスク上の異なるチップ領域の互いの同一箇所(重ねた時に同一となる箇所)に欠陥が存在する確立が零(0)に近い。すなわち、マスク上の異なるチップ領域の欠陥部分同士が互いに同位置に存在することはほとんど無い。したがって、マスクRM5上の異なるチップ領域CA同士が重なるように露光した際に、マスクRM5上において互いに重なり合うことの生じない欠陥部分は、上記必要な露光量が得られないため、ウエハ10Wt(10W)上に転写されない。この欠陥転写防止の原理は、3重露光や4重露光の場合も同じである。むしろ重ね合わせ回数を増やす程、1回の露光量が低下するので、欠陥転写防止能力を向上させることができる。

## 【0095】

また、仮に欠陥が転写されたとしても、検出可能な大きな欠陥のみとすることができる。例えばステッパでは、マスクRM5上の0.2 $\mu$ m以上の欠陥が転写されたが、本実施の形態では、マスクRM5上の0.4 $\mu$ m以上のより大きな欠陥が転写される。すなわち、マスクRM5上において0.4 $\mu$ m未満の欠陥は、ウエハ10Wt(10W)上への露光の際に消滅してしまうことから無視するこ

とができるので、マスク RM 5 の欠陥検査および欠陥修正を容易にすることが可能となる。

## 【 0 0 9 6 】

上記露光条件での本実施の形態においては、例えば  $0.25\ \mu\text{m}$  のパターンがウエハ 10 W t (10 W) 上のチップ領域の全面において  $0.25 \pm 0.02\ \mu\text{m}$  の精度で良好に形成できた。マスク RM 5 の欠陥によるパターン間のショート不良等の発生は認められなかった。これに対して同一条件で 2 重露光を行わない技術においては、例えば  $0.25\ \mu\text{m}$  のパターンがウエハ 10 W t (10 W) 上のチップ領域の全面で、例えば  $0.25 \pm 0.025\ \mu\text{m}$  の精度で形成されていた。また、パターン間のショート不良がウエハ 10 W t (10 W) 上のチップ内の 2 箇所が発生していることが判明した。

## 【 0 0 9 7 】

このショート不良部分について調査した結果を図 3 1 および図 3 2 によって説明する。図 3 1 (a) はマスク RM 5 の要部平面図を示している。領域 16 A には、例えば  $0.25\ \mu\text{m}$  の遮光パターン 4 b が、例えば  $0.25\ \mu\text{m}$  のスペースで配置されている。この領域 16 A に、欠陥 18 a, 18 b が存在している。欠陥 18 b は、欠陥 18 a よりも平面寸法が相対的に大きく、隣接する遮光パターン 4 b 間をつなぐように配置されている。このような領域 16 A を、2 重露光処理を行わないでスキャナで露光 (すなわち、1 回露光) した結果を図 3 1 (b) に示す。この場合、正常なレジストパターン 19 a の他に、マスク RM 5 の欠陥 18 a, 18 b に起因するレジスト残り 20 a, 20 b が転写されていた。このうち、レジスト残り 20 b はパターン間のショート不良の原因となっていた。なお、図 3 1 (b) には、レジストパターン 19 a およびレジスト残り 20 b と、マスク RM 5 の遮光パターン 4 b および欠陥 18 a, 18 b との相対的な位置関係が分かるように、遮光パターン 4 b および欠陥 18 a, 18 b も示している。

## 【 0 0 9 8 】

これに対して、上記 2 重露光方法では、図 3 2 に示す結果が得られた。図 3 2 (a) はマスク RM 5 の要部平面図を示している。領域 16 A, 16 B には、互いに同一パターンが配置されており、上記と同様の遮光パターン 4 b, 4 b が、

例えば $0.25\mu\text{m}$ のスペースで配置されている。本実施の形態の露光処理では、領域16A、16Bをそれぞれ $1/2$ の露光量で重ね露光することにより、欠陥部分と欠陥の存在しない部分とが多重露光されるので、ウエハ上への欠陥の転写が低減または完全に無くなる。転写結果を図32(b)に示す。マスクRM5の領域16A内の欠陥18aに対応する位置ではレジストパターン19aの変形が確認されなかった。一方、マスクRM5の領域16A内の欠陥18bに対応する位置では、レジストパターン19aの変形（レジスト残り20c）が認められたが、パターン間のショート不良には至ってないことが分かった。このようなパターン欠陥は検査の結果、必要ならば、ウエハ上の欠陥を、例えばFIB（Focused Ion Beam）等のようなエネルギービームを用いた修正処理によって修正することもできる。この場合、パターン変形量を比較的小さくすることができるので、その修正を容易にすることが可能である。なお、図32(b)ではレジストパターン19aおよびレジスト残り20cとマスクRM5の遮光パターン4bおよび欠陥18a、18bとの相対的な位置関係が分かるように、遮光パターン4bおよび欠陥18a、18bを示している。

## 【0099】

さらに、本発明者らは、上記多重露光の回数を増やした場合について、マスク上の欠陥の転写パターンの寸法への影響を調査した。この場合の露光条件は、例えば次のとおりである。スキャナの露光光源は、例えば波長 $248\text{nm}$ のKrFエキシマレーザ光を用い、投影光学レンズ部の開口数NAは、例えば0.65である。また、この際に用いたマスクの転写領域の要部平面図を図33に示す。図33(a)は、欠陥が存在する転写領域（チップ領域）の要部平面図を示し、(b)は欠陥が存在しないマスクの転写領域（チップ領域）の要部平面図を示している。図33(a)、(b)の転写領域には、平面長形状の複数の遮光パターン4bがそれぞれ配置されている。いずれの転写領域においても遮光パターン4bの幅C1および隣接間のスペース寸法D1は、例えば $0.25\mu\text{m}$ 程度である。図33(a)には、3種類の欠陥18c～18eが例示されている。欠陥18cは、一辺の寸法が上記スペース寸法D1よりも小さい平面正形状の遮光欠陥である。また、欠陥18dは、長辺の寸法が上記スペース寸法D1と等しい平面

長方形の遮光欠陥である。さらに、欠陥 18 e は、一辺の寸法が上記幅 C 1 よりも小さい寸法の平面正形状の透明欠陥である。欠陥の大きさは変数 E で示した。露光処理においては、欠陥が存在する図 3 3 (a) のパターンと、欠陥が存在しない図 3 3 (b) のパターンとを複数回重ね露光した。そして、遮光パターン 4 b の寸法 C 1 ~ C 3 に対する転写パターンの寸法を評価した。その評価結果を図 3 4 に示す。図 3 4 (a) ~ (c) は、それぞれ寸法 C 1 ~ C 3 の測定結果を示している。図 3 4 (a) ~ (c) において、1 重は図 3 3 (a) の欠陥のあるマスクのみで露光した場合、2 重は図 3 3 (a) の欠陥のあるマスクと図 3 3 (b) の欠陥の無いマスクとを重ね露光した場合、3 重は上記 2 重露光にさらに図 3 3 (b) の欠陥の無いフォトマスクを重ね露光した場合、4 重は上記 3 重露光にさらに図 3 3 (b) の欠陥の無いマスクを重ね露光した場合をそれぞれ示している。いずれの欠陥においても、無欠陥パターンの重ね回数を増やすほど欠陥の影響が少なくなることが分かる。また、ここではパターンの寸法に着目して評価した場合について説明したが、パターンの断線、ショート等の評価をした結果、3 重露光以上では、欠陥の大きさによらず、断線、ショートの発生を防止できた。また、本実施の形態の露光方法によれば、寸法の平均化がなされるため、パターンの寸法分布精度も向上させることができた。ここでは、最大寸法と最小寸法との差を、例えば  $0.036 \mu\text{m}$  であった。すなわち、寸法のばらつきを約半分に低減することができた。したがって、レジストマスクの場合、マスクパターン形成のためのエッチング工程が無い分、パターン寸法精度を向上させることができるという特性があるが、多重露光を用いることで、その特性をさらに向上させることが可能となる。

【0 1 0 0】

図 3 5 (a) ~ (c) は、マスク M (前記マスク NM 1, NM 2, RM 1 ~ RM 4 等で例示したマスク) 内のチップ領域 C A の数によって選択可能な多重露光回数を示している。図 3 5 (a) のマスク M では、露光に際して 2 個のチップ領域 C A, C A を重ねることで 2 重露光が可能である。図 3 5 (b) のマスク M では、露光に際して 3 個のチップ領域 C A, C A, C A を重ねることで 3 重露光が可能である。さらに、図 3 5 (c) のマスク M では、2 重露光および 4 重露光が

可能である。2重露光の場合は、チップ領域CA1、CA3を重ね、チップ領域CA2、CA4を重ねる方法と、チップ領域CA1、CA2を重ね、チップ領域CA3、CA4を重ねる方法とがある。4重露光では、チップ領域CA1～CA4を互いに重ねることで実現できる。このような露光回数は、欠陥の状態（大きさや数等）によって選択する。なお、多重露光技術については、本願発明者らによる特願2000-58359号（平成12年3月3日出願）および特願2000-39706号（平成12年2月17日出願）に記載がある。

#### 【0101】

このように、多重露光による露光方法を採用することにより、すなわち、マスクに欠陥が存在していたとしてもウエハ上に転写されないようにすることにより、マスクの欠陥を修正することなく、また、マスクを再生することなく、欠陥を有するマスクをそのまま使用して、実際の集積回路パターンをウエハ上に転写するための露光処理を行うことができる。これにより、欠陥修正や再生の時間を省くことができるので、マスクの納期の遅れを解消でき、半導体集積回路装置のQ T A Tを実現することができた。したがって、多重露光方法を採用した場合も、上記マスキングブレードと同様に、例えばA S I C等のように顧客からマスクデータを貰ってから半導体集積回路装置を完成させるまでの時間短縮が課題となっている製品においては特に有効である。また、この多重露光方法においてレジストマスクを用いた場合、マスクの欠陥修正を無くすことができ、その欠陥修正での時間のロスを無くすことができるので、上記レジストマスクの優れた特性を十分に生かすことができる。また、マスク（通常のマスクおよびレジストマスク）の欠陥修正装置を不要とすることができ、マスクの製造の設備投資を最小限に抑えることができるので、マスクのコストを低減することができる。したがって、半導体集積回路装置のコストを低減することが可能となる。

#### 【0102】

次に、上記マスクの修正について説明する。図36は、マスクRM（上記マスクRM1～RM5で例示）の修正時のマスク基板1の要部断面図を示している。図36（a）は、マスクRMに欠陥18f、18gがある場合を示している。欠陥18fは、有機膜からなる遮光パターン4bが欠けている欠陥、欠陥18gは

、本来、光透過領域 3 b であるはずの箇所に有機膜からなる遮光膜が残されてしまった欠陥をそれぞれ示している。図 3 6 (b) は、欠陥 1 8 g にレーザ光または集束イオンビーム (F I B : Focused Ion Beam) 等のようなエネルギービームを照射することで残り欠陥を除去する様子を示している。また、図 3 6 (c) は、反応ガス中においてレーザ光または集束イオンビーム等のようなエネルギービームを照射することにより、例えばカーボン等のような有機膜やクロム等のような金属膜からなる遮光膜 2 1 を欠陥 1 8 f 部分に選択的に堆積する様子を示している。

## 【 0 1 0 3 】

また、上記レジストマスク (上記マスク RM, RM 1 ~ RM 5 で例示) の場合は、有機膜からなる遮光膜 4 a や遮光パターン 4 b を除去した後、上記レジストマスクの製造処理を施すことで、マスクを再生することができる。上記マスクの欠陥検査の結果、マスク上に欠陥が存在することが検出され、その時点で、上記マスキングブレードまたは多重露光方法を使用するよりも、再生の方が良いと判断された場合には、このマスクの再生方法を使用することもできる。

## 【 0 1 0 4 】

次に、上記マスク (NM 1, NM 2, RM 1 ~ RM 4 等で例示したマスク) を用いてウエハ上のレジスト膜に実際の集積回路パターンを転写する工程について説明する。ここでは、前記図 1 のウエハ上のレジスト膜へのパターン転写工程 1 0 2 を詳細に示したフロー図を図 3 7 に沿って、図 3 8 ~ 図 4 2 によりパターン転写工程を説明する。

## 【 0 1 0 5 】

まず、マスクを準備する。このマスクは、前記マスクの検査工程で得られた欠陥情報 (欠陥の座標およびそれを無くすための方法) を有している (工程 1 0 2 a) 。上記マスキングブレードを用いる場合は、上記欠陥情報に基づいて露光装置にマスキングブレードを設定する。また、多重露光を用いる場合は、露光装置の動作制御プログラムに多重露光するように設定する。露光装置は、例えば上記ステッパまたはスキャナを用いる。

## 【 0 1 0 6 】



続いて、主面にレジスト膜を塗布したウエハを準備し（工程 1 0 2 b）、これを露光装置にセットする。図 3 8（a）は、そのウエハ 1 0 W の要部平面図、（b）は（a）の A 1 1 - A 1 1 線の断面図を示している。ウエハ 1 0 W の主面上にはレジスト膜 1 3 が塗布されている。また、ウエハ 1 0 W の主面には、例えば p チャンネル型の M I S ・ F E T（Metal Insulator Semiconductor Field Effect Transistor）や n チャンネル型の M I S ・ F E T 等のような M I S ・ F E T、バイポーラトランジスタ、ダイオード、抵抗（拡散抵抗および多結晶シリコンによる抵抗）またはキャパシタ等のような集積回路素子が形成されている。

## 【 0 1 0 7 】

その後、上記マスクを用いて、ウエハ 1 0 W の主面上のレジスト膜 1 3 に対して露光処理を施す。マスクングブレードを用いる場合は、そのマスクングブレードでマスク上の欠陥が存在する領域を遮光した状態で露光処理を行う（図 2 8 参照）。多重露光処理では、マスク検査で欠陥が消滅するとされた回数だけマスクを重ね合わせて露光処理を行う（工程 1 0 2 c）。

## 【 0 1 0 8 】

次いで、ウエハ主面上のレジスト膜 1 3 に対して現像処理を施すことで、図 3 9 ~ 図 4 1 に示すように、ウエハ 1 0 W 上に集積回路パターン転写用のレジストパターン 1 3 a を形成する（工程 1 0 2 d）。図 3 9 は、マスクングブレードを用いた場合のウエハ 1 0 W の全体平面図、図 4 0 は、多重露光方法を用いた場合のウエハ 1 0 W の全体平面図をそれぞれ示している。また、図 4 1（a）は、図 3 9 および図 4 0 のウエハ 1 0 W の要部拡大平面図、（b）は（a）の A 1 2 - A 1 2 線の断面図を示している。

## 【 0 1 0 9 】

マスクングブレードを用いた場合、前記図 2 8 で示したように、例えばマスクの 2 個のチップ領域 C A を遮光するので、1 ショットで露光できるチップ領域 W C A が 2 個となる。一方、多重露光の場合は、1 ショットで露光できるチップ領域 W C A が 4 個となる。したがって、多重露光を選択する方が、マスクングブレードを選択するよりもスループット上有効である。一方、多重露光では解消できない欠陥がある場合は、マスクングブレードを選択する方が、マスク修正や再生

を選択するよりもスルーブット上有効である。

#### 【 0 1 1 0 】

その後、レジストパターン 1 3 a をエッチングマスクとして、下層の導体膜 1 2 a をエッチングすることにより、図 4 2 に示すように、導体膜 1 2 a からなる配線をウエハ 1 0 W のチップ領域 W C A に形成する。なお、図 4 2 ( a ) はウエハ 1 0 W の要部平面図、( b ) は ( a ) の A 1 3 - A 1 3 の断面図を示している。

#### 【 0 1 1 1 】

次に、上記マスク検査および集積回路パターン形成のための露光処理時に用いた露光装置の一例を図 4 3 ~ 図 4 6 によって説明する。なお、図 4 3 ~ 図 4 6 においては、露光装置の機能を説明するために必要な部分のみを示したが、その他の通常の露光装置（スキャナやステッパ）に必要な部分は通常の範囲で同様である。

#### 【 0 1 1 2 】

図 4 3 に示す露光装置 2 5 は、例えば縮小比 4 : 1 の走査型縮小投影露光装置（以下、スキャナと言う）である。露光装置 2 5 の露光条件は、例えば次の通りである。すなわち、露光光 L p には、例えば露光波長 2 4 8 n m 程度の K r F エキシマレーザ光を用い、光学レンズの開口数 N A = 0 . 6 5 、照明の形状は円形であり、コヒーレンシ (  $\sigma$  : sigma ) 値 = 0 . 7 である。マスク M は、前記マスク N M 1 , N M 2 , R M 1 ~ R M 5 で例示したものである。ただし、露光光 L p は、上記のものに限定されるものではなく種々変更可能であり、例えば波長が 1 9 3 n m 程度の A r F エキシマレーザを用いても良い。

#### 【 0 1 1 3 】

露光光源 2 5 a から発する光は、フライアイレンズ 2 5 b 、アパーチャ 2 5 c 、コンデンサレンズ 2 5 d 1 、 2 5 d 2 及びミラー 2 5 e を介してマスク（ここではレチクル）M を照明する。光学条件のうち、コヒーレンシはアパーチャ 2 5 f の開口部の大きさを変化させることにより調整した。マスク M 上には異物付着によるパターン転写不良等を防止するためのペリクル 5 が設けられている。マスク M 上に描かれたマスクパターンは、投影レンズ 2 5 g を介して試料基板である

ウエハ 1 0 W（または検査用のウエハ 1 0 W t、以下同じ）上に投影される。なお、マスク M は、マスク位置制御手段 2 5 h およびミラー 2 5 i 1 で制御されたマスクステージ 2 5 i 2（前記マスク装着部 6 を含む）上に載置され、その中心と投影レンズ 2 5 g の光軸とは正確に位置合わせがなされている。

## 【 0 1 1 4 】

ウエハ 1 0 W は、試料台 2 5 j 上に真空吸着されている。試料台 2 5 j は、投影レンズ 2 5 g の光軸方向、すなわち、試料台 2 5 j のウエハ載置面に垂直な方向（Z 方向）に移動可能な Z ステージ 2 5 k 上に載置され、さらに試料台 2 5 j のウエハ載置面に平行な方向に移動可能な X Y ステージ 2 5 m 上に搭載されている。Z ステージ 2 5 k 及び X Y ステージ 2 5 m は、主制御系 2 5 n からの制御命令に応じてそれぞれの駆動手段 2 5 p、2 5 q によって駆動されるので、所望の露光位置に移動可能である。その位置は Z ステージ 2 5 k に固定されたミラー 2 5 r の位置として、レーザ測長機 2 5 s で正確にモニタされている。また、ウエハ 1 0 W の表面位置は、通常の露光装置が有する焦点位置検出手段で計測される。計測結果に応じて Z ステージ 2 5 k を駆動させることにより、ウエハ 1 0 W の表面は常に投影レンズ 2 5 g の結像面と一致させることができる。

## 【 0 1 1 5 】

マスク M とウエハ 1 0 W とは、縮小比に応じて同期して駆動され、露光領域がマスク M 上を走査しながらマスクパターンをウエハ 1 0 W 上に縮小転写する。このとき、ウエハ 1 0 W の表面位置も上述の手段によりウエハ 1 0 W の走査に対して動的に駆動制御される。ウエハ 1 0 W 上に形成された回路パターンに対してマスク M 上の回路パターンを重ね合わせ露光する場合、ウエハ 1 0 W 上に形成されたマークパターンの位置をアライメント検出光学系 2 5 t を用いて検出し、その検出結果からウエハ 1 0 W を位置決めして重ね合わせ転写する。主制御系 2 5 n はネットワーク装置 2 5 u と電氣的に接続されており、露光装置 2 5 の状態の遠隔監視等が可能となっている。

## 【 0 1 1 6 】

図 4 4 は上記露光装置 2 5 のスキヤニング露光動作を模式的に示した図である。マスク M と、ウエハ 1 0 W とは鏡面对称関係になるので、露光処理に際して

、マスクMの走査（スキャン）方向とウエハ10Wの走査（スキャン）方向とは図44のステージスキャンの矢印方向に示すように逆向きになる。駆動距離は、縮小比4：1の場合、マスクMの移動量の4に対して、ウエハ10Wの移動量は1になる。このとき、露光光Lpをスリット25fsを通じてマスクMに照射することでスリット状の露光領域（露光帯）を形成し、そのスリット状の露光領域を、マスクM上において、スリット25fsの幅方向、すなわち、スリット25fsの長手方向に直交または斜めに交差する方向に連続移動（走査）させ、さらに結像光学系（投影レンズ25g）を介してウエハ10Wの主面上に照射する。これにより、マスクMの集積回路パターン領域（チップ領域）内のマスクパターンをウエハ10Wの複数のチップ領域WCAの各々に転写する。なお、個々のチップ領域WCAは、1個の半導体チップを形成するための領域である。

## 【0117】

アパーチャ25fには、平面長方形状のスリット25fsが開口されており、露光光Lpは、そのスリット25fsを通じてマスクMに照射される。すなわち、露光装置25においては、図44および図45に示すように、投影レンズ25gの有効露光領域25ga内に含まれるスリット状の露光領域（図面を見易くするため図45においては斜線のハッチングを付す）SA1を実効的な露光領域として用いる。したがって、露光装置（スキャナ）25においては、スリット状の露光領域SA1を露光するようになっている。特に限定されないが、そのスリット25fsの幅は、通常、ウエハ10W上において、例えば4～7mm程度である。

## 【0118】

比較のためステッパにおける露光の領域を図46に示す。ステッパにおいては、投影レンズの有効露光領域25ga内に四隅が内接される平面正方形状の露光領域（図面を見易くするため図46においては斜線のハッチングを付す）SA2を実効的な露光領域として用いる。ステッパにおいては、マスクM内のパターンを一括露光するようになっている。なお、上記のようにステッパを用いても良い。

## 【0119】

ただし、上記多重露光を行う場合は、スキャナを用いた方が好ましい。スキャナを用いた場合のパターンの転写状態を図 4 7 に示す。符号の 2 6 は、理想格子上の設計パターンであり、歪みの無い四角形状のパターンとなっている。符号の 2 6 a は設計パターン 2 6 においてスキャン方向（図 4 7 の上下縦方向）に平行な辺を示し、符号の 2 6 b は設計パターン 2 6 においてスキャン方向に直交する辺を示している。なお、ここで、スキャン方向は、投影レンズの走査方向であり、ウエハ等の被露光処理基板はこれと反対の方向に移動するようになっている。符号の 2 7 は、実際に転写された転写パターンを示している。符号の 2 7 a は転写パターン 2 7 においてスキャン方向に平行な辺を示し、符号の 2 7 b は転写パターン 2 7 においてスキャン方向に直交する辺を示している。

#### 【 0 1 2 0 】

スキャナを用いた露光処理においては、スキャン方向に直交する方向（図 4 7 の左右横方向）においてレンズ収差に起因する位置ずれが生じるが、スキャン方向においてレンズ収差が同一となるため同じ形状が保たれる。例えば転写パターン 2 7 においてスキャン方向に平行な辺 2 7 a は設計パターン 2 6 においてスキャン方向に平行な辺 2 6 a に対して位置ずれが見えるが、そのずれ量はスキャン方向に同一である。また、転写パターン 2 7 においてスキャン方向に直交する辺 2 7 b は、設計パターン 2 6 においてスキャン方向に直交する辺 2 6 b とほぼ重なり、位置ずれが見られない。すなわち、スキャナを用いた露光処理においては、チップ領域 W C A、W C A のパターンは、スキャン方向に直交する方向においてほぼ同じ変形を持つようになり、しかもスキャン方向においてほぼ同じ形状で形成される。したがって、チップ領域 W C A、W C A をウエハ等の被露光処理基板上の同一の領域に 2 重露光しても、高い重ね合わせ精度で形成することができる。

#### 【 0 1 2 1 】

##### （実施の形態 2）

本実施の形態においては、同一設計のマスクを複数枚製造し、この複数のマスクを用いて同一のウエハの主面上にパターンを転写し、そのパターンを検査した結果を用いて半導体集積回路装置を製造する方法について説明する。

## 【 0 1 2 2 】

図 4 8 は、複数枚（ここでは 3 枚を例示）の同一設計のマスクのパターンを、検査用のウエハ 1 0 W t の主面に転写し、現像処理を施した後の状態を示している。この際の露光方法は、前記通常の露光方法でも多重露光方法でも良い。図 4 8 において、各列 P 1 ～ P 3 のチップ領域 W C A 群は、同一設計の異なるマスクを用いて転写されたものである。なお、ここでは、前記多重露光法を用いた場合、各列 P 1 ～ P 3 の重ね合わせ露光回数は同じものとする。検査用のウエハ 1 0 W t を複数枚用意し、各ウエハ 1 0 W t 毎に重ね合わせ露光回数を変えても良い。

## 【 0 1 2 3 】

これらの各列 P 1 ～ P 3 のチップ領域 W C A 群のレジストパターンの良否を、前記実施の形態 1 と同様に、異なるチップ領域 W C A のパターン比較により検査した。その結果、列 P 2 のチップ領域 W C A 群の所定のチップ領域 W C A において欠陥 1 8 h を検出し、列 P 3 のチップ領域 W C A 群の所定のチップ領域 W C A において欠陥 1 8 i を検出した。

## 【 0 1 2 4 】

そこで、本実施の形態においては、製品を製造するためのマスクとして、列 P 1 のパターン転写で用いたマスクを採用することとした。これにより、前記実施の形態 1 と同様に、マスクの欠陥修正や再生の時間を省くことができるので、マスクの納期の遅れを解消でき、半導体集積回路装置の Q T A T を実現することができた。したがって、この場合も、例えば A S I C 等のように顧客からマスクデータを貰ってから半導体集積回路装置を完成させるまでの時間短縮が課題となっている製品においては特に有効である。また、レジストマスクを用いた場合、マスクの欠陥修正を無くすことができ、その欠陥修正での時間のロスを無くすことができるので、上記レジストマスクの優れた特性を十分に生かすことができる。また、マスク（通常のマスクおよびレジストマスク）の欠陥修正装置を不要とすることができ、マスクの製造の設備投資を最小限に抑えることができるので、マスクのコストを低減することができる。したがって、半導体集積回路装置のコストを低減することが可能となる。

## 【 0 1 2 5 】

## (実施の形態 3)

本実施の形態においては、上記多重露光方法を用いる場合に、同一ウエハの主面内において、各領域毎に重ね合わせ露光回数を変えて露光し、そのパターンを検査した結果を用いて半導体集積回路装置を製造する方法について説明する。

## 【 0 1 2 6 】

図 4 9 は、同一のマスクを、検査用のウエハ 1 0 W t の主面において各列 P 1 ～ P 3 毎に重ね合わせ露光回数を変えて露光した後、現像処理を施した後の状態を示している。列 P 1 では 2 重露光を、列 P 2 では 3 重露光を、さらに列 P 3 では 4 重露光を行った。

## 【 0 1 2 7 】

これらの各列 P 1 ～ P 3 のチップ領域群のレジストパターンの良否を、前記実施の形態 1 と同様に、異なるチップ領域のパターン比較により検査する。その結果、欠陥が消滅する多重露光を選択し、実際の集積回路パターンをウエハ上に転写する際の露光処理条件として採用する。

## 【 0 1 2 8 】

本実施の形態によれば、前記実施の形態 2 で得られた効果の他に、以下の効果を得ることができる。例えば検査用のウエハ 1 0 W t 毎に重ね合わせ露光回数を変えたとすると、上記の例では 3 枚の検査用のウエハ 1 0 W t が必要となる。そして、その 3 枚の検査用のウエハ 1 0 W t 毎に、多重露光をし、現像処理をし、欠陥検査をしなければならない。これに対して、本実施の形態によれば、1 枚の検査用のウエハ 1 0 W t で複数種類の多重露光結果を検査できるので、検査時間を大幅に短縮させることが可能となる。

## 【 0 1 2 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【 0 1 3 0 】

例えば前記実施の形態 1 ～ 3 では、通常の構造の配線を形成する場合について

説明したが、これに限定されるものではなく、例えば絶縁膜に配線溝や孔を形成し、その内部に、例えば銅を主成分とする導体膜を埋め込むことで配線を形成する、いわゆるダマシン配線構造を形成する場合にも本発明を適用することができる。

## 【 0 1 3 1 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である A S I C 等の製造方法に適用した場合について説明したが、これに限定されるものではなく、例えば D R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory) またはフラッシュメモリ (E E P R O M ; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体集積回路装置、マイクロプロセッサ等のような論理回路を有する半導体集積回路装置あるいは上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体集積回路装置にも適用できる。

## 【 0 1 3 2 】

## 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを半導体ウエハの内部領域に転写することにより、フォトマスクの欠陥修正を無くすことができ、その欠陥修正にかかる時間を省くことができるので、半導体集積回路装置の製造時間を短縮することが可能となる。

(2). 本発明によれば、フォトマスクの複数のチップ領域のうちの欠陥を含むチップ領域を遮光体で隠した状態で、前記フォトマスクにおける複数のチップ領域のパターンを半導体ウエハの内部領域に転写することにより、フォトマスクの欠陥修正を無くすことができ、その欠陥修正のための装置や作業を無くせるので、半導体集積回路装置のコストを低減することが可能となる。

## 【図面の簡単な説明】

## 【図 1】



本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示すフロー図である。

【図 2】

(a) は図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図、(b) は (a) の A 1 - A 1 線の断面図である。

【図 3】

(a) は図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図、(b) は (a) の A 2 - A 2 線の断面図である。

【図 4】

(a) は図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図、(b) は (a) の A 3 - A 3 線の断面図、(c) は (b) の変形例であって (a) の A 3 - A 3 線の断面図である。

【図 5】

(a) は図 4 のフォトマスクの有機膜からなる遮光体を除去した時のマスク基板の平面図、(b) は (a) の A 3 - A 3 線の断面図である。

【図 6】

(a) は図 4 のフォトマスクにペリクルを取り付けた状態を示すフォトマスクの平面図、(b) は (a) の A 3 - A 3 線の断面図である。

【図 7】

(a) は図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図、(b) は (a) の A 4 - A 4 線の断面図、(c) は (b) の変形例であって (a) の A 4 - A 4 線の断面図である。

【図 8】

(a) は図 7 のフォトマスクの有機膜からなる遮光体を除去した時のマスク基板の平面図、(b) は (a) の A 4 - A 4 線の断面図である。

【図 9】

(a) は図 7 のフォトマスクにペリクルを取り付けた状態を示すフォトマスクの平面図、(b) は (a) の A 4 - A 4 線の断面図である。

【図 10】

(a) は図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図、(b) は (a) の A 5 - A 5 線の断面図である。

【図 1 1】

(a) は図 1 0 のフォトマスクの有機膜からなる遮光体を除去した時のマスク基板の平面図、(b) は (a) の A 5 - A 5 線の断面図である。

【図 1 2】

(a) は図 1 0 のフォトマスクにペリクルを取り付けた状態を示すフォトマスクの平面図、(b) は (a) の A 5 - A 5 線の断面図である。

【図 1 3】

(a) は図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図、(b) は (a) の A 6 - A 6 線の断面図である。

【図 1 4】

(a) は図 1 3 のフォトマスクの有機膜からなる遮光体を除去した時のマスク基板の平面図、(b) は (a) の A 6 - A 6 線の断面図である。

【図 1 5】

(a) は図 1 3 のフォトマスクにペリクルを取り付けた状態を示すフォトマスクの平面図、(b) は (a) の A 6 - A 6 線の断面図である。

【図 1 6】

図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図である。

【図 1 7】

図 1 の半導体集積回路装置の製造工程で用いるフォトマスクの平面図である。

【図 1 8】

図 1 のフォトマスクの製造工程の詳細なフロー図である。

【図 1 9】

(a) ~ (c) はフォトマスクの製造工程中における要部断面図である。

【図 2 0】

(a) はフォトマスクの製造工程中におけるマスク基板の全体平面図、(b) は (a) の A 7 - A 7 線の断面図である。

【図 2 1】

(a) は図 2 0 に続くフォトマスクの製造工程中におけるマスク基板の全体平面図、(b) は (a) の A 7 - A 7 線の断面図である。

【図 2 2】

(a) は図 2 1 に続くフォトマスクの製造工程中におけるマスク基板の全体平面図、(b) は (a) の A 7 - A 7 線の断面図である。

【図 2 3】

(a) は図 2 2 に続くフォトマスクの製造工程中におけるマスク基板の全体平面図、(b) は (a) の A 7 - A 7 線の断面図である。

【図 2 4】

図 1 のフォトマスクの検査工程の詳細なフロー図である。

【図 2 5】

図 2 4 のフォトマスクの検査工程の具体的なフローと、その検査結果を用いた露光工程との説明図である。

【図 2 6】

フォトマスクの検査工程中における検査用の半導体ウエハの全体平面図である。

【図 2 7】

図 2 6 の A 8 - A 8 線の断面図である。

【図 2 8】

(a) および (b) は、本発明の一実施の形態である半導体集積回路装置の露光工程中の説明図である。

【図 2 9】

(a) は、本発明の一実施の形態である半導体集積回路装置の露光工程で用いるフォトマスクの平面図、(b) は (a) の A 1 0 - A 1 0 線の断面図である。

【図 3 0】

図 2 9 の露光工程における多重露光の説明図である。

【図 3 1】

(a) はフォトマスクのチップ領域の要部平面図、(b) はスキャナを用いた露光処理に際して (a) のフォトマスクを 1 回露光した場合のフォトレジストパ

ターンの平面図である。

【図 3 2】

(a) はフォトマスクの 2 箇所のチップ領域の要部平面図、(b) はスキャナを用い (a) の 2 箇所のチップ領域を重ねて露光した場合のフォトレジストパターンの平面図である。

【図 3 3】

(a) はフォトマスクにおいて欠陥が存在するチップ領域の要部平面図、(b) はフォトマスクにおいて欠陥が存在しないチップ領域の要部平面図である。

【図 3 4】

(a) ～ (c) はスキャナによる露光処理に際して、図 3 3 (a) のフォトマスクのみを用いた場合および図 3 3 (a), (b) のフォトマスクを 2 回またはそれ以上重ねて露光した場合に転写されたパターンの寸法の評価結果を示すグラフ図である。

【図 3 5】

(a) ～ (c) は、フォトマスクのチップ領域の配置によって選択可能な多重露光方法の説明図である。

【図 3 6】

(a) ～ (c) は、フォトマスクの欠陥を修正する方法の説明図である。

【図 3 7】

図 1 の半導体ウエハ上のレジスト膜へのパターン転写工程を詳細に示したフロー図である。

【図 3 8】

(a) は半導体ウエハ上に所定のパターンを転写する工程時における半導体ウエハの要部平面図、(b) は (a) の A 1 1 - A 1 1 線の断面図である。

【図 3 9】

マスキングブレードを用いた露光処理後の半導体ウエハの全体平面図である。

【図 4 0】

多重露光法を用いた露光処理後の半導体ウエハの全体平面図である。

【図 4 1】

(a) は図 3 9 または図 4 0 の要部拡大平面図、(b) は (a) の A 1 2 - A 1 2 線の断面図である。

【図 4 2】

(a) は図 3 9 ~ 図 4 1 に続く製造工程中における半導体ウエハの要部平面図、(b) は (a) の A 1 3 - A 1 3 線の断面図である。

【図 4 3】

図 1 のマスクの検査工程および半導体集積回路装置の製造工程で用いた露光装置の一例の説明図である。

【図 4 4】

図 4 3 の露光装置における露光方法の一例の説明図である。

【図 4 5】

スキャナの露光領域の説明図である。

【図 4 6】

ステッパの露光領域の説明図である。

【図 4 7】

フォトマスク上の異なる平面位置座標のチップ領域をスキャナを用いて転写した様子を模式的に示す説明図である。

【図 4 8】

本発明の他の実施の形態である半導体集積回路装置の製造工程中における検査用の半導体ウエハの全体平面図である。

【図 4 9】

本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における多重露光法を採用する場合の検査用の半導体ウエハの全体平面図である。

【符号の説明】

- 1 マスク基板
- 2 メタル膜
- 2 a 遮光膜
- 2 b 遮光パターン
- 3 a 光透過パターン

- 3 b 光透過領域
- 3 c 光透過パターン
- 3 d 光透過パターン
- 3 e 光透過領域
- 3 f 光透過パターン
- 3 g 光透過領域
- 4 有機膜
- 4 a 遮光膜
- 4 a 1 吸光性有機膜
- 4 a 2 感光性樹脂膜
- 4 b 遮光パターン
- 4 b 1 吸光性有機膜
- 4 b 2 感光性樹脂膜
- 5 ペリクル
- 5 a 保護膜
- 5 b ペリクルフレーム
- 6 マスク装着部
- 6 A 領域
- 7 a レジスト膜
- 8 水溶性導電有機膜
- 9 アース
- 1 0 W t 半導体ウエハ (第 1 の半導体ウエハ)
- 1 0 W 半導体ウエハ (第 2 の半導体ウエハ)
- 1 0 S 半導体基板
- 1 1 a 絶縁膜
- 1 2 a 導体膜
- 1 3 レジスト膜
- 1 3 a レジストパターン
- 1 5 A, 1 5 B, 1 5 C 領域

1 6 A 領域

1 8 a ~ 1 8 i 欠陥

1 9 a レジストパターン

2 0 a , 2 0 b レジスト残り

2 1 遮光膜

2 5 露光装置

2 5 a 露光光源

2 5 b フライアイレンズ

2 5 c アパーチャ

2 5 d 1 , 1 d 2 コンデンサレンズ

2 5 e ミラー

2 5 f アパーチャ

2 5 f s スリット

2 5 g 投影レンズ

2 5 g a 有効露光領域

2 5 h マスク位置制御手段

2 5 i 1 ミラー

2 5 i 2 マスクステージ

2 5 j 試料台

2 5 k Zステージ

2 5 m X Yステージ

2 5 n 主制御系

2 5 p , 2 5 q 駆動手段

2 5 r ミラー

2 5 s レーザ測長機

2 5 t アライメント検出光学系

2 5 u ネットワーク装置

M フォトマスク

NM 1 , NM 2 通常のフォトマスク

RM, RM1 ~ RM5 フォトマスク

CA, CA1 ~ CA4 チップ領域

WCA, WCA1, WCA2 チップ領域

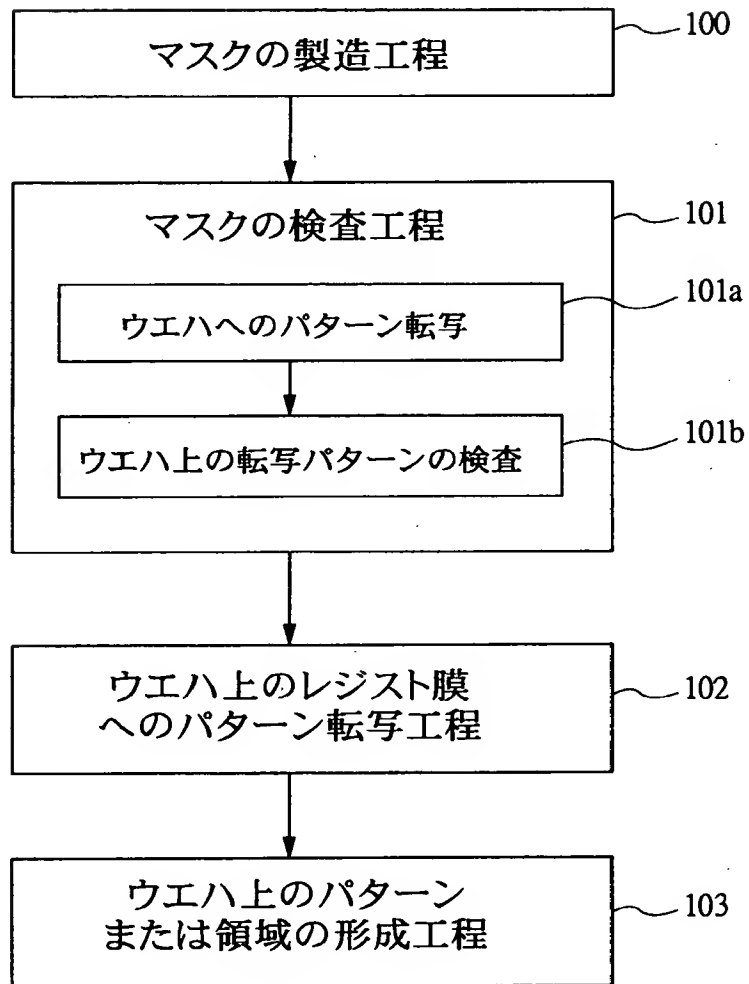
MB マスキングブレード



【書類名】 図面

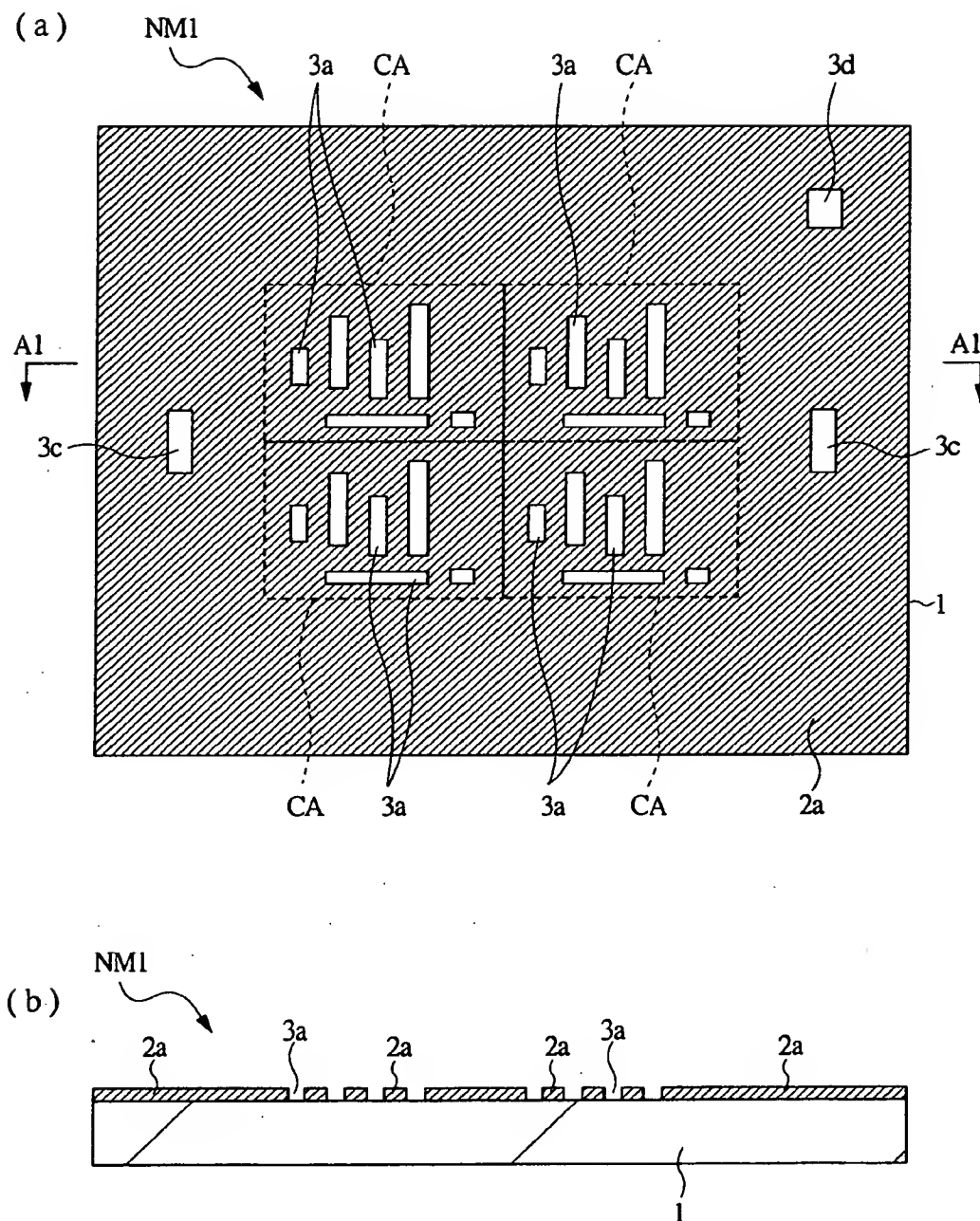
【図 1】

図 1



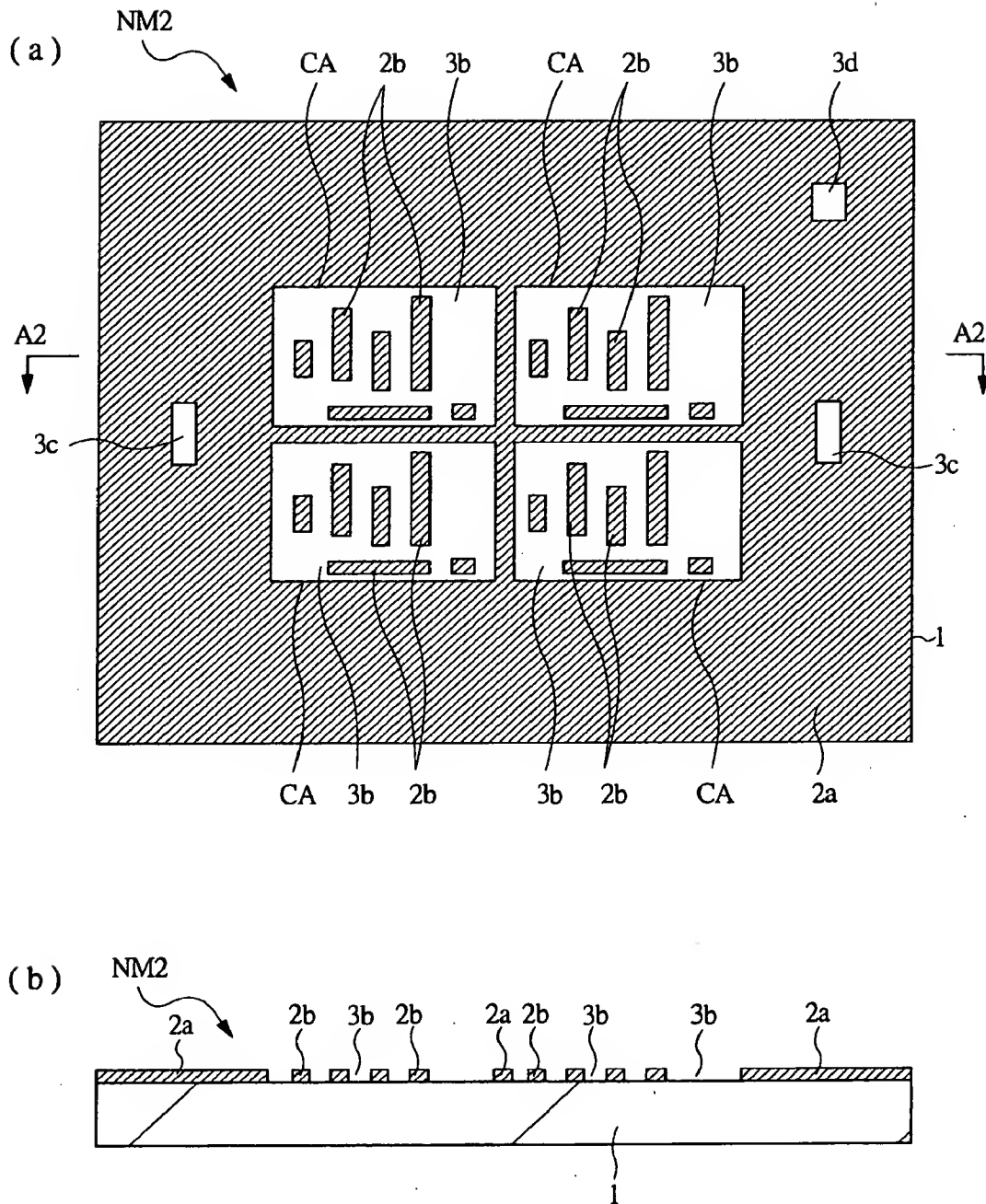
【図 2】

図 2



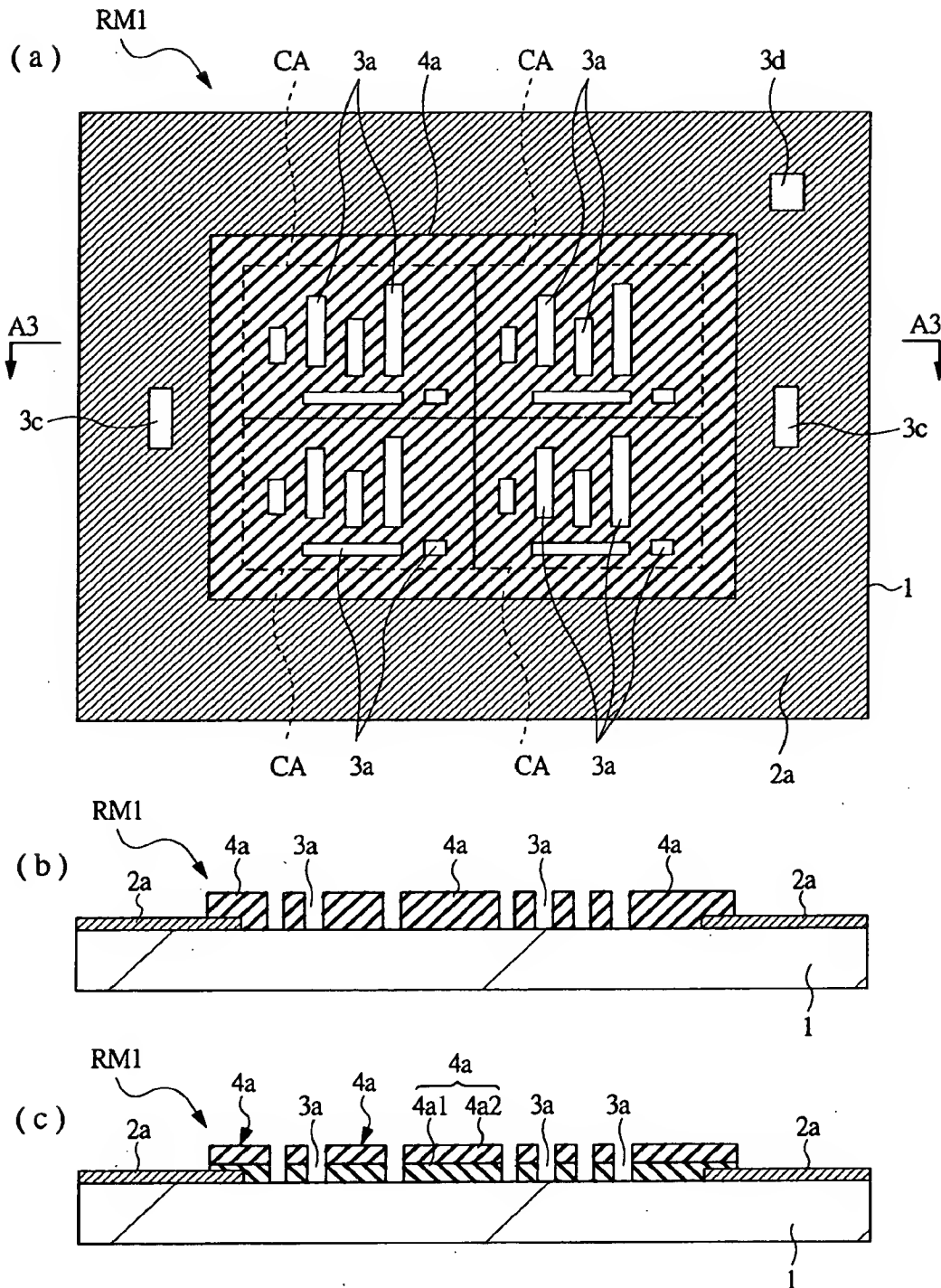
【図 3】

図 3



【図 4】

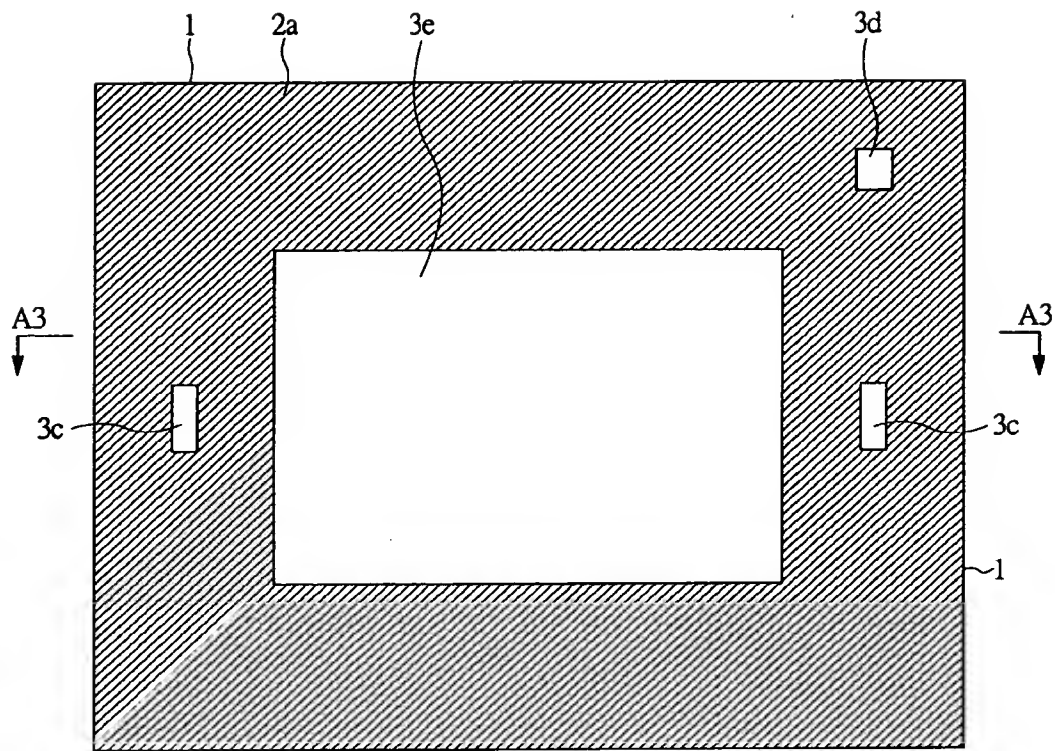
図 4



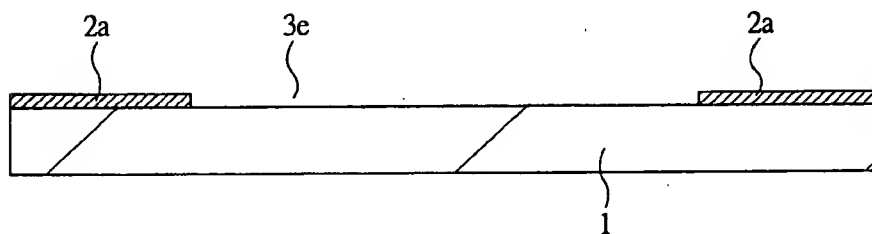
【図 5】

図 5

(a)

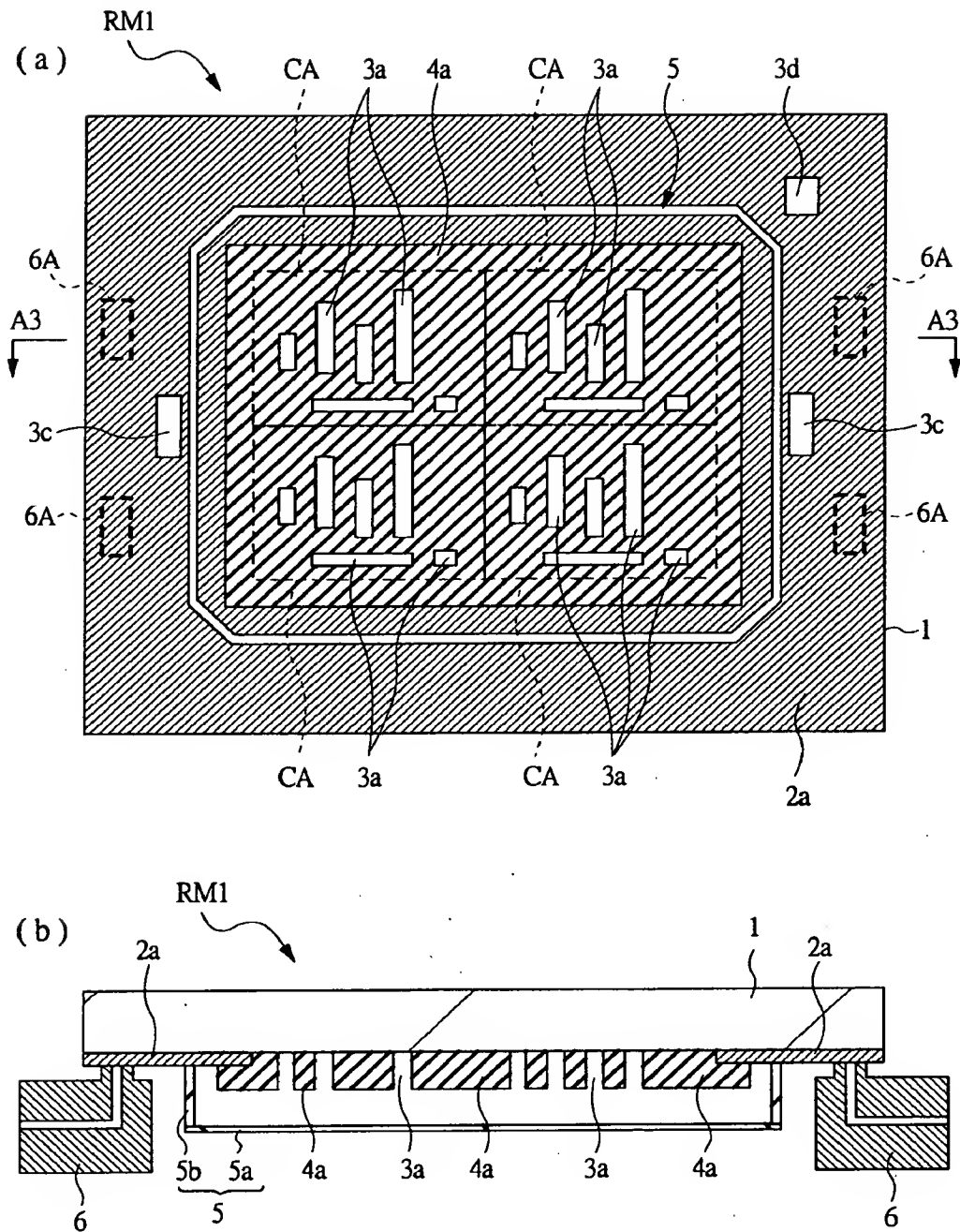


(b)



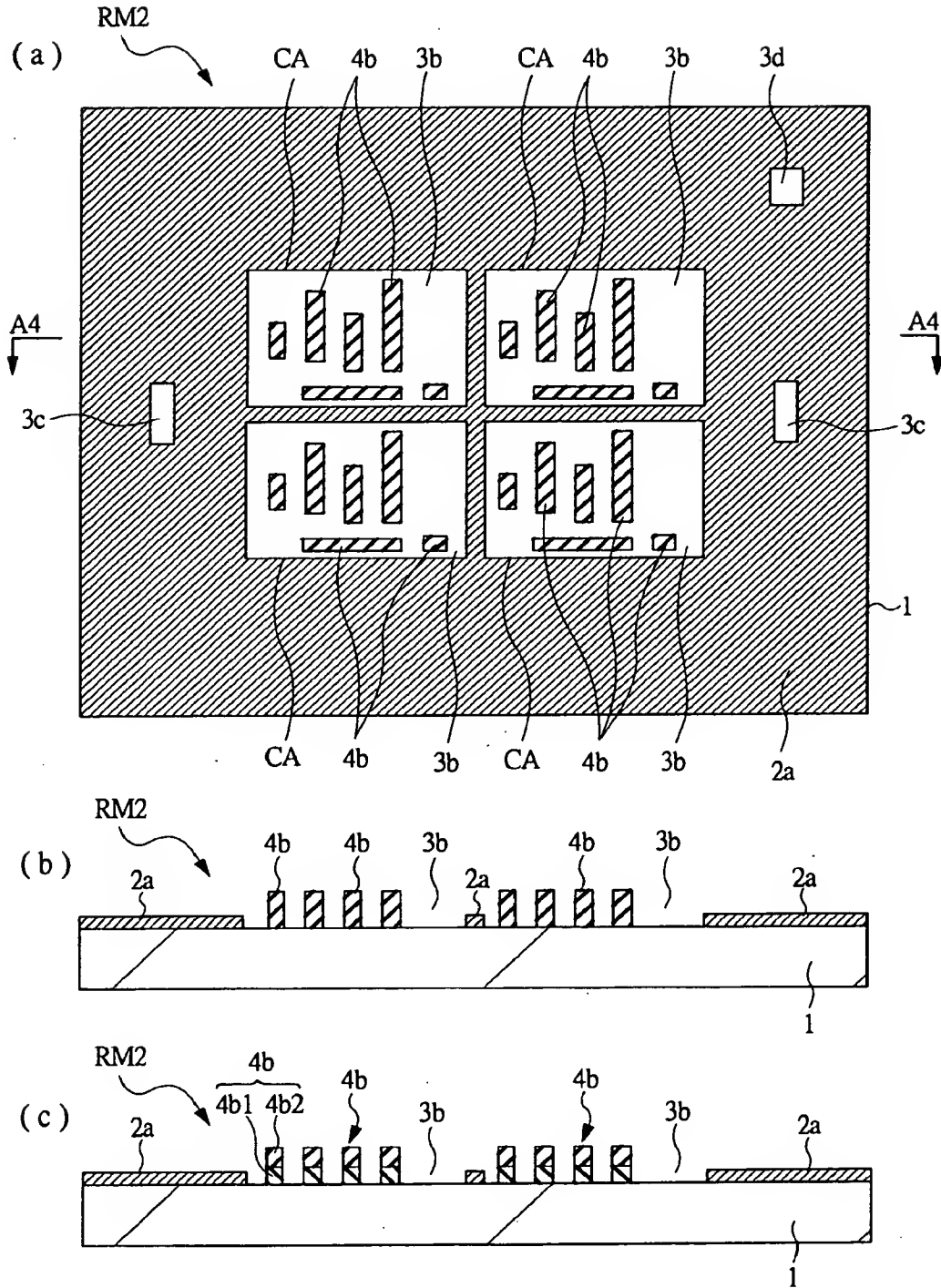
【図 6】

図 6



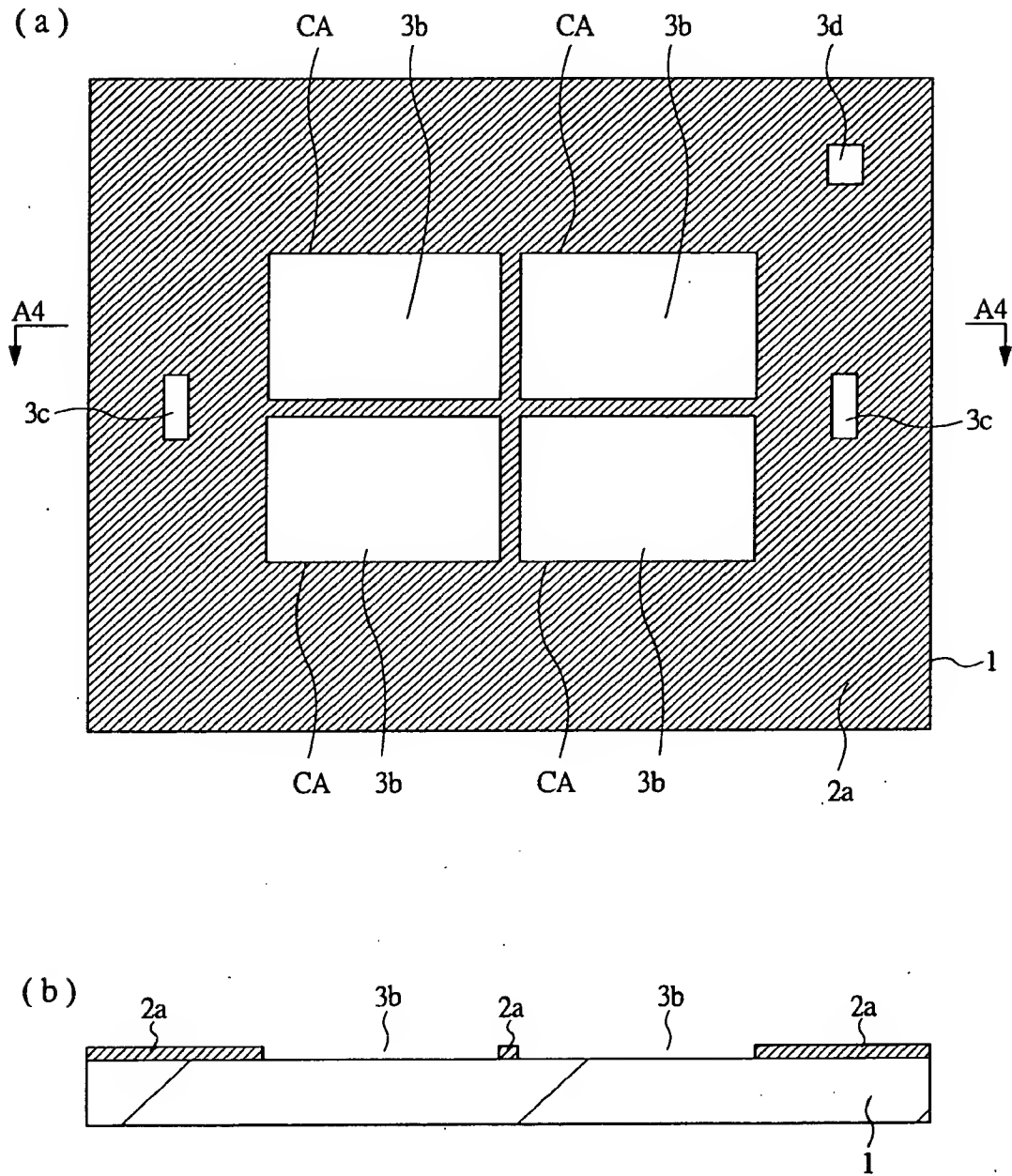
【図 7】

図 7



【図 8】

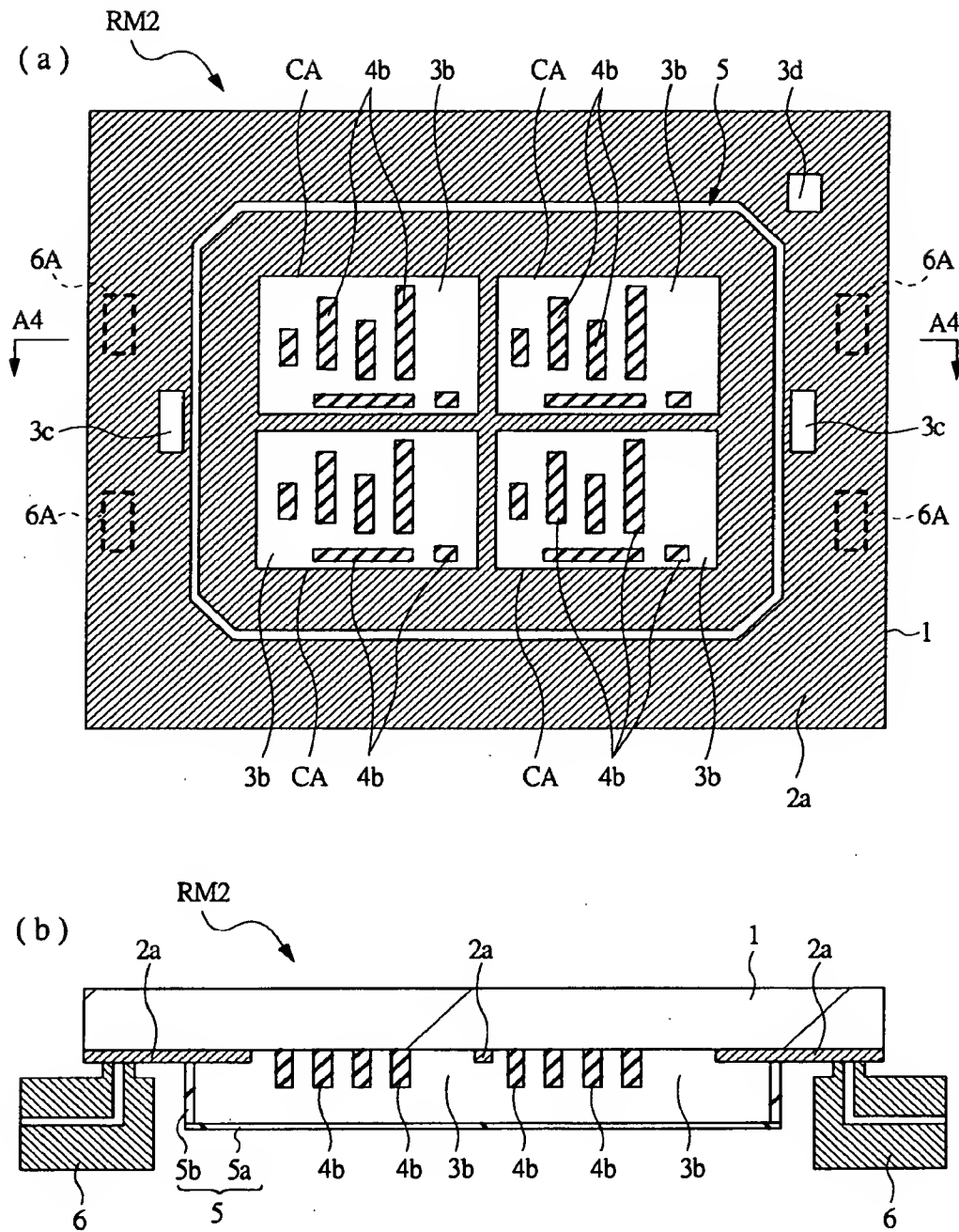
図 8





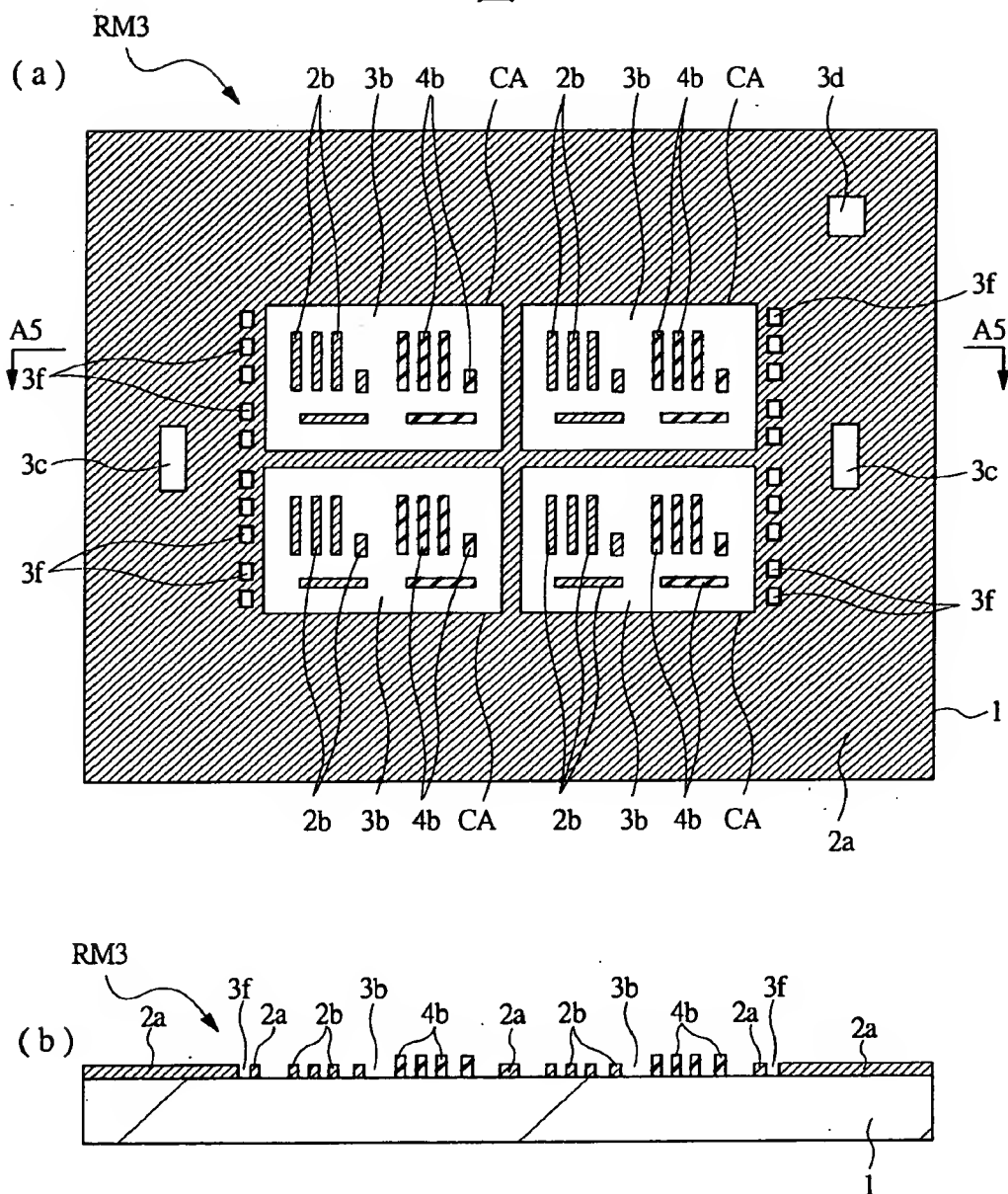
【図 9】

図 9



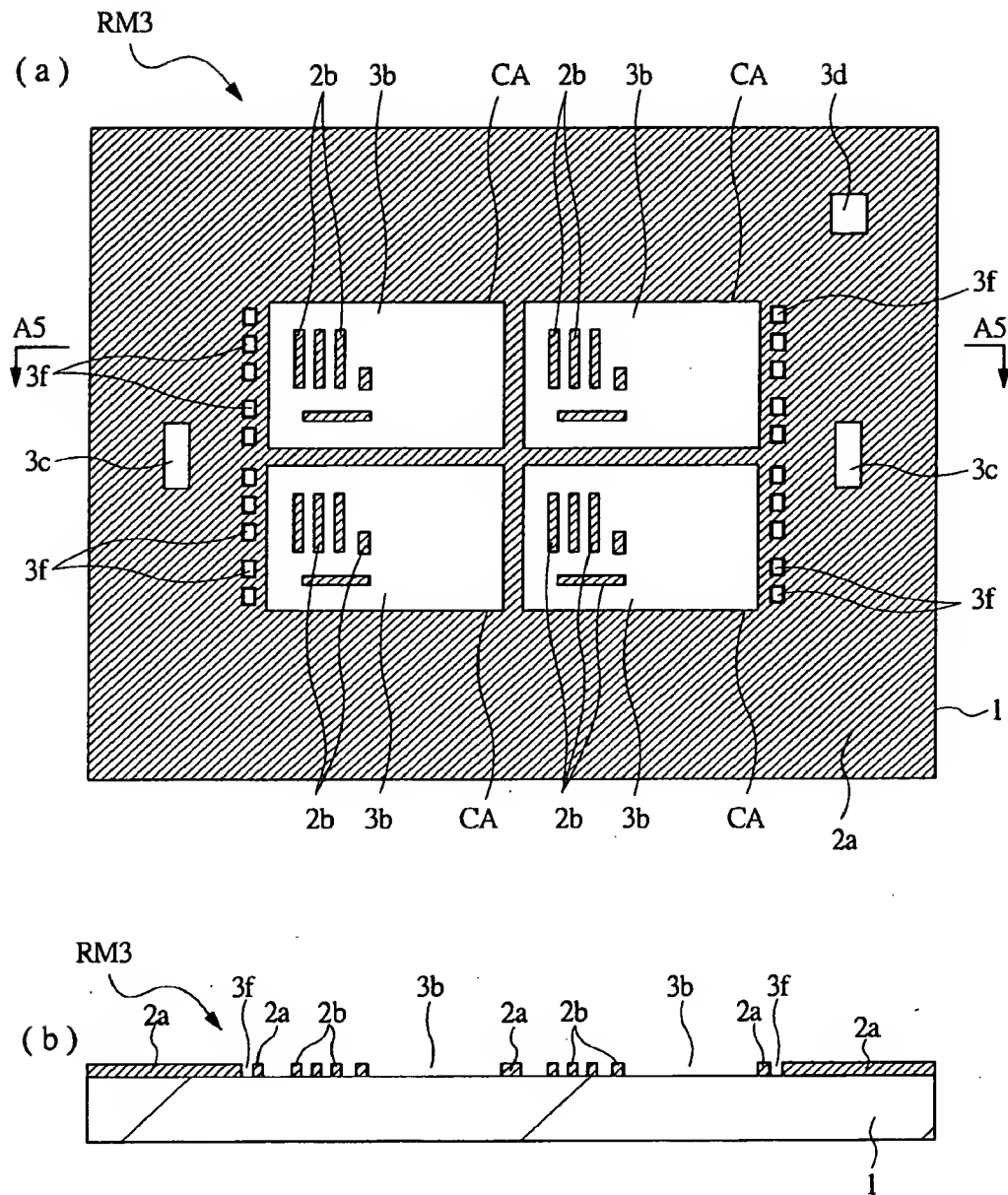
【図 10】

図 10



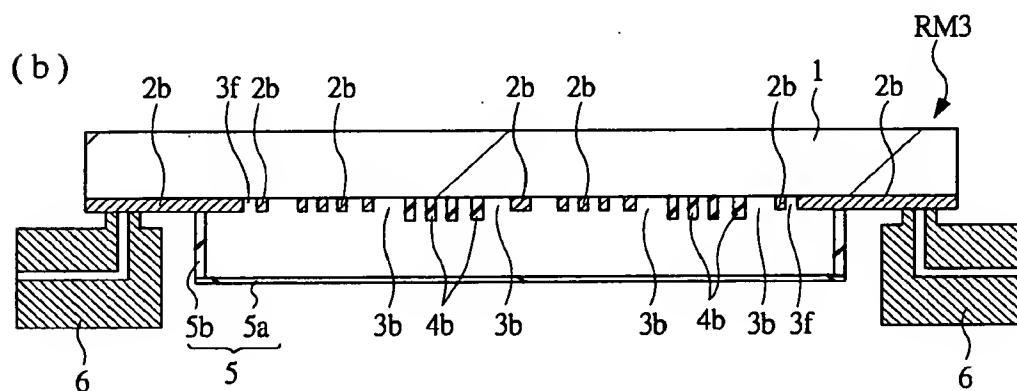
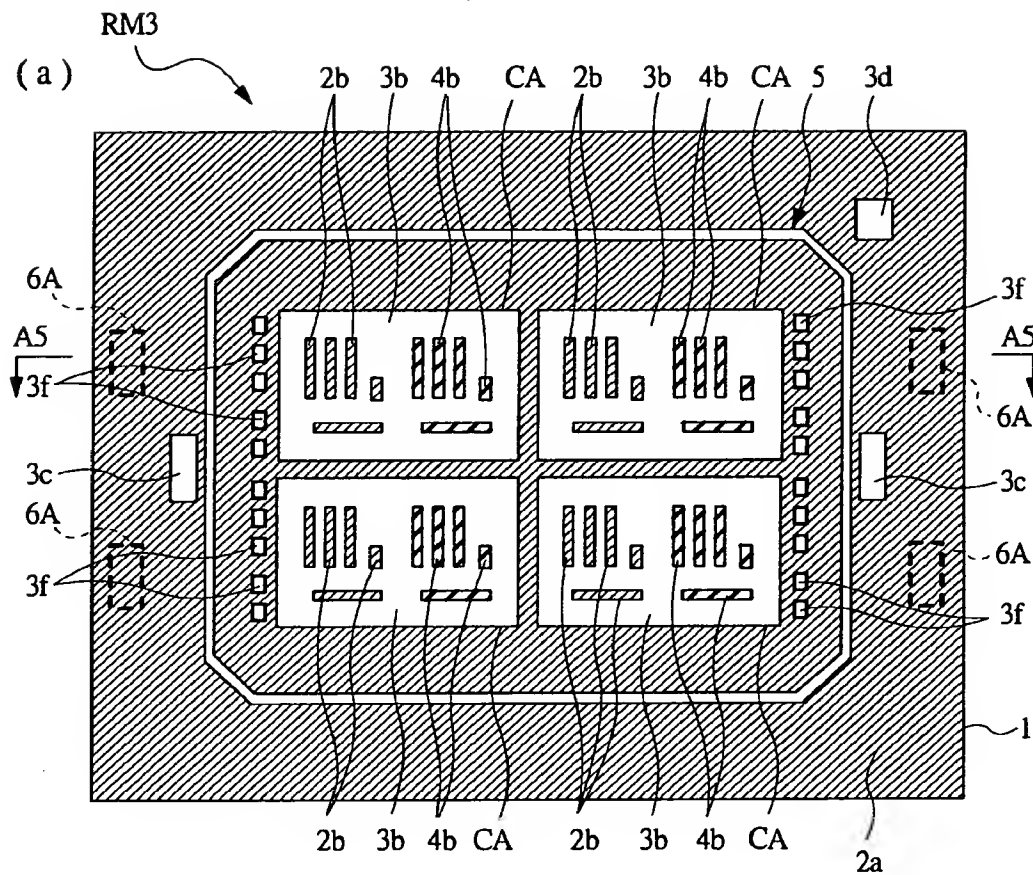
【圖 1 1】

图 11



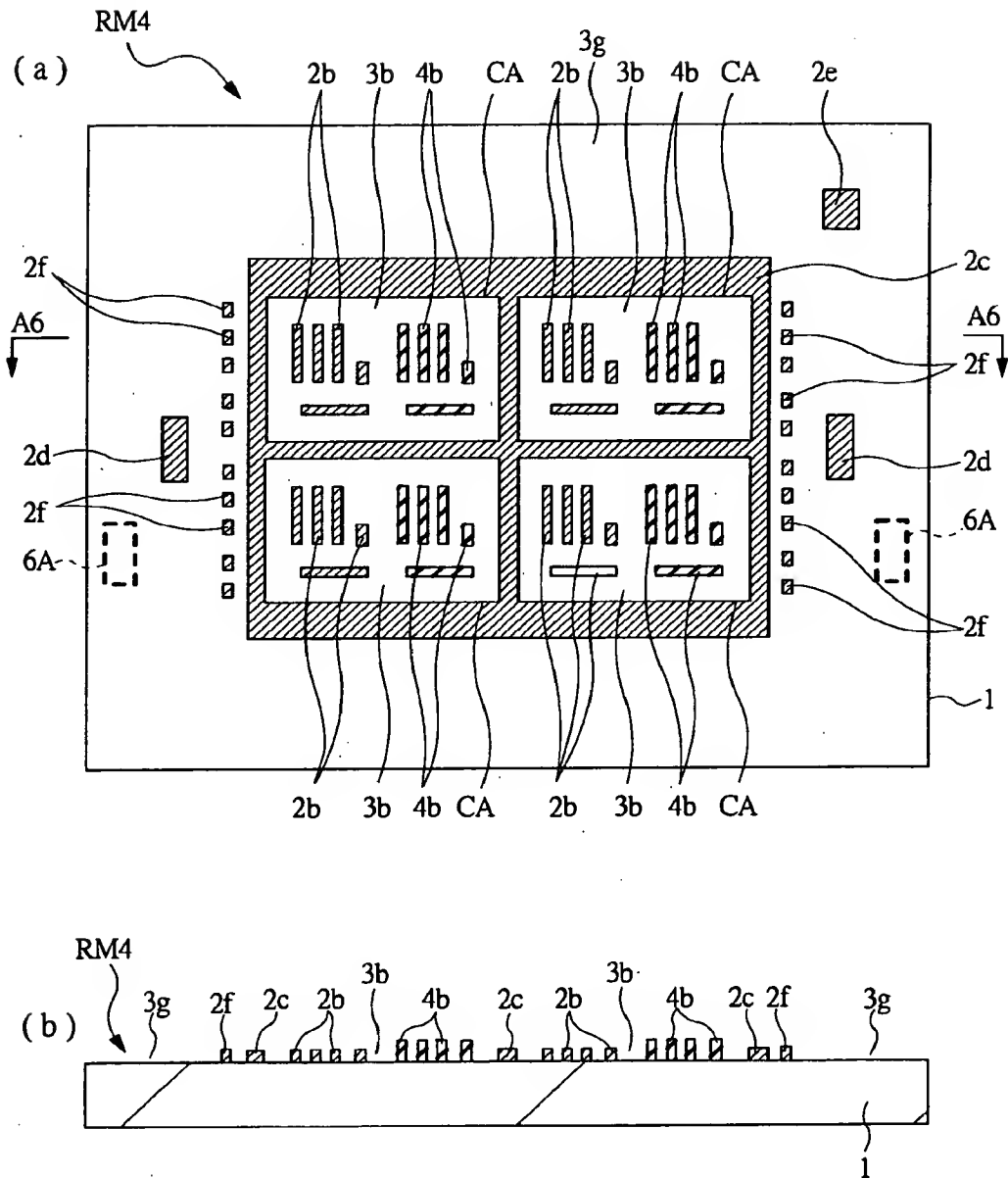
【圖 1 2】

Figure 12 shows a square with a cross inside. The cross is formed by two lines intersecting at the center. The lines are slightly thicker than the square's border. The entire figure is enclosed in a square frame.



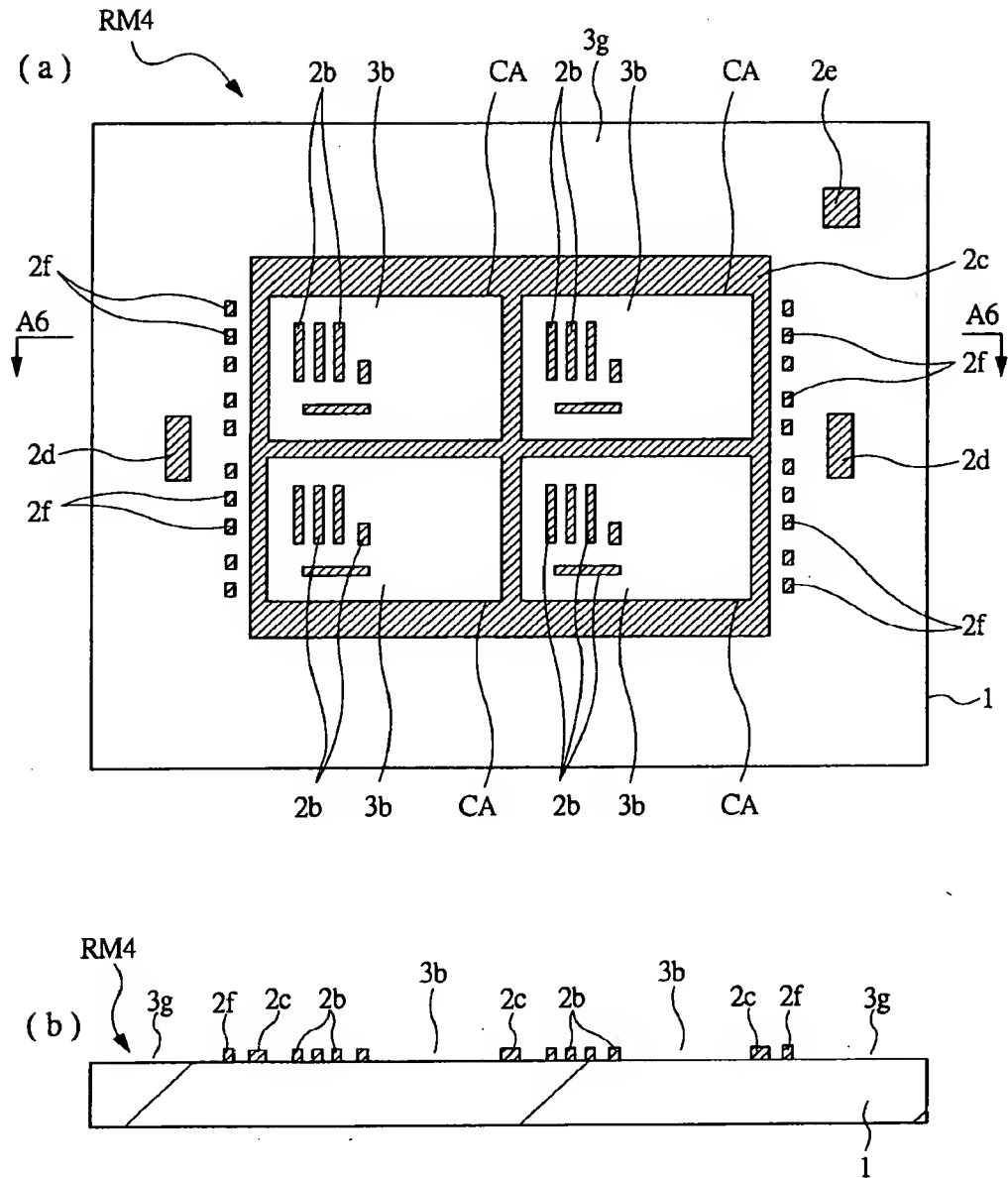
【図 13】

図 13



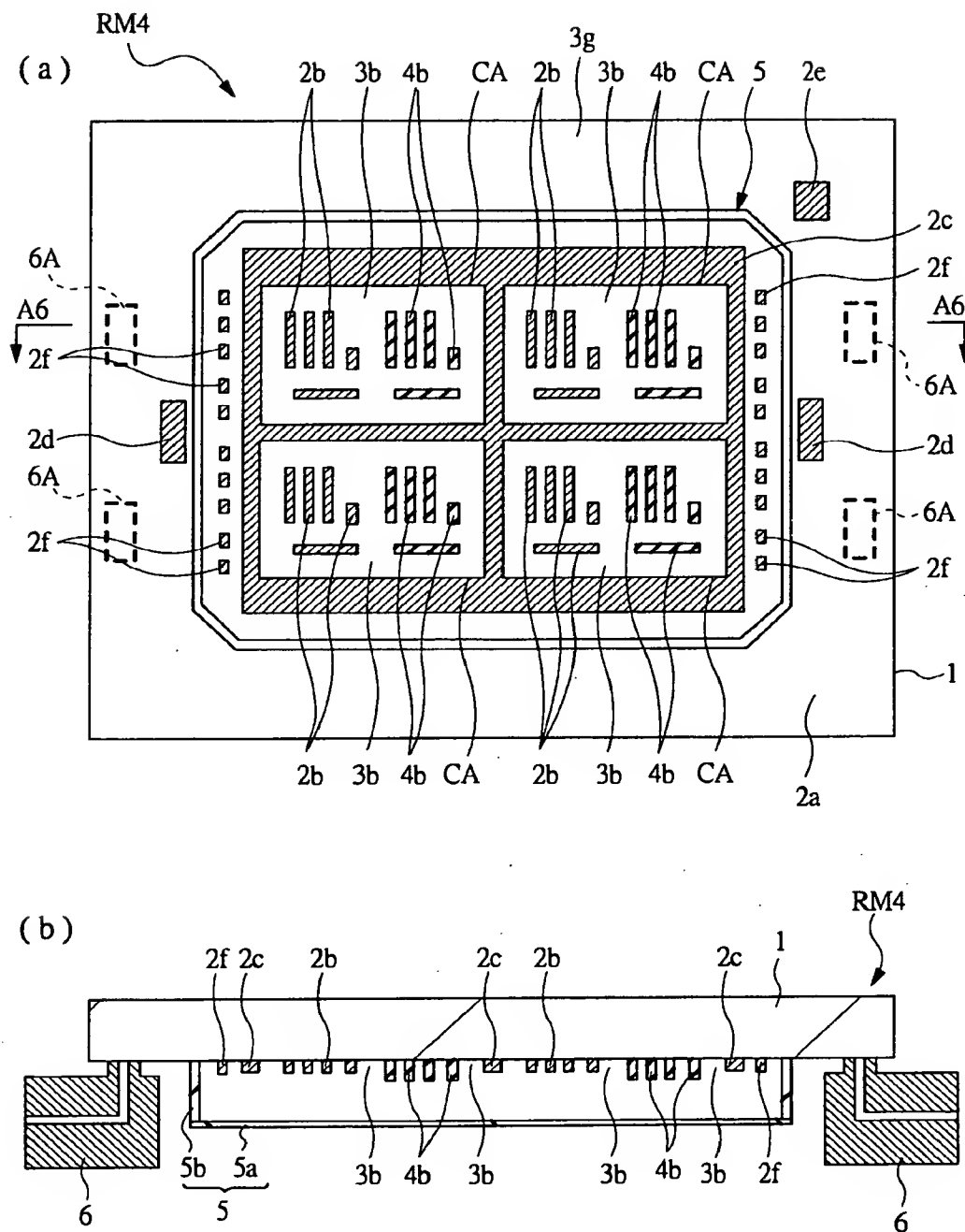
【図 1 4】

図 14

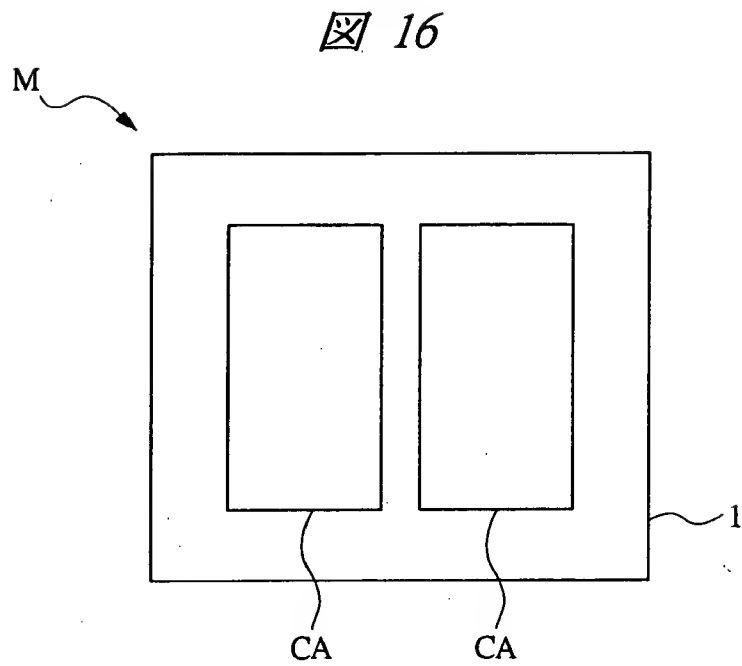


【図 15】

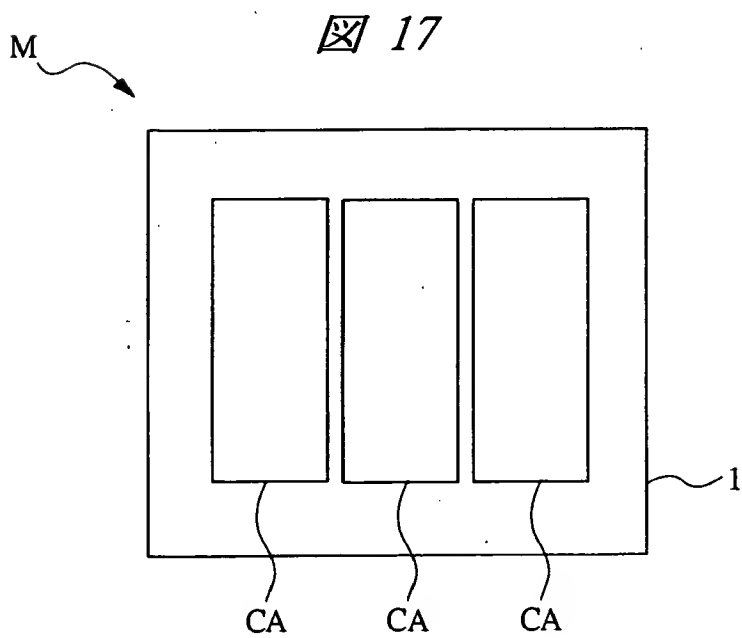
図 15



【図 1 6】



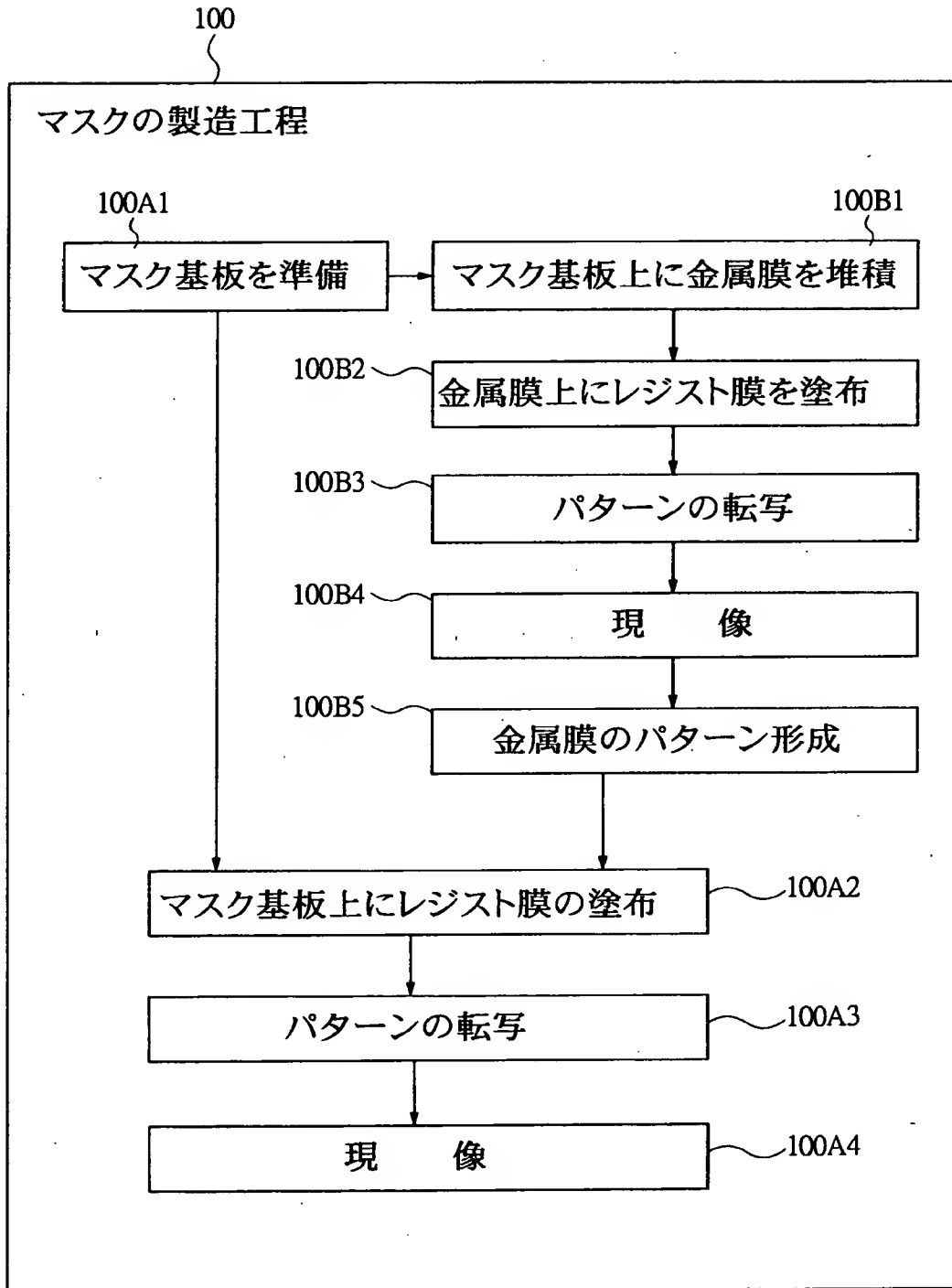
【図 1 7】





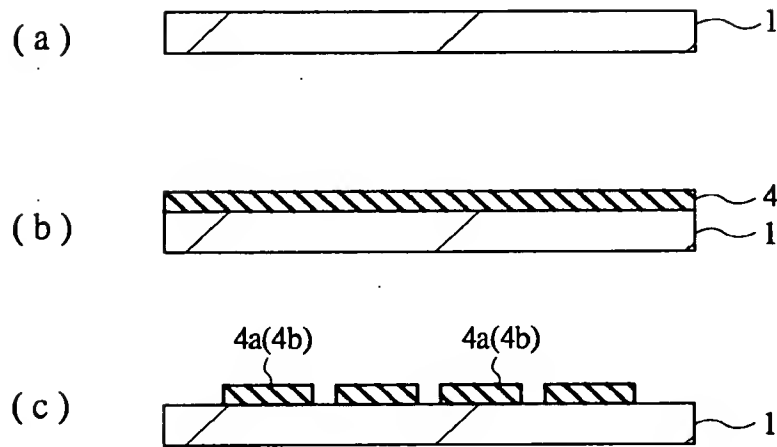
【図 18】

図 18



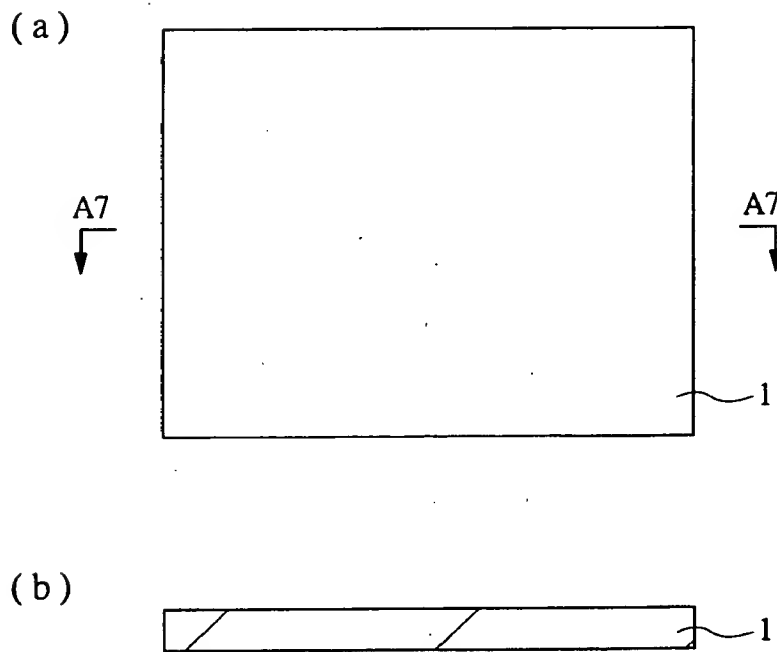
【図 1 9】

図 19



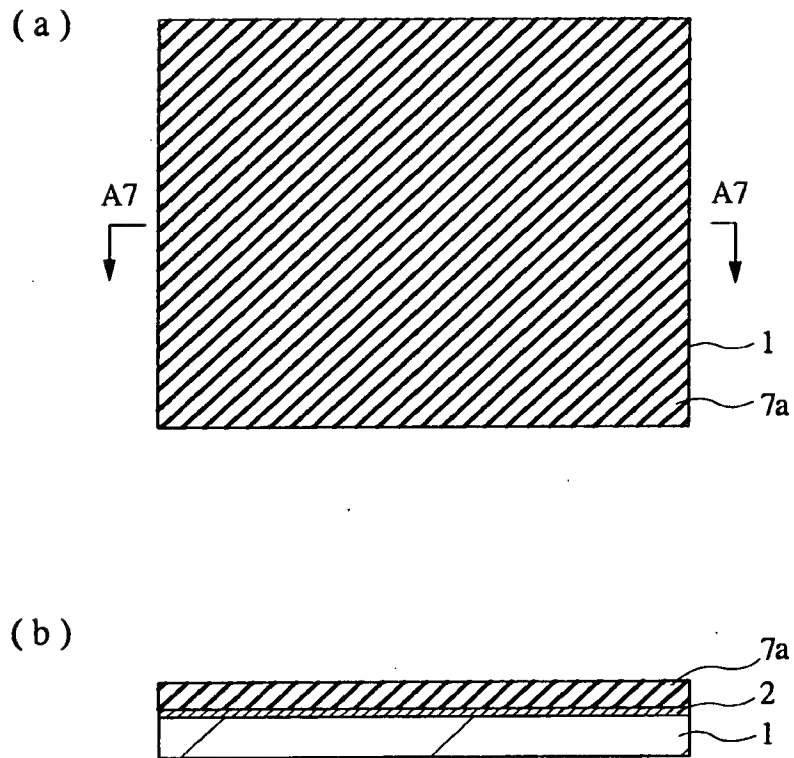
【図 2 0】

図 20



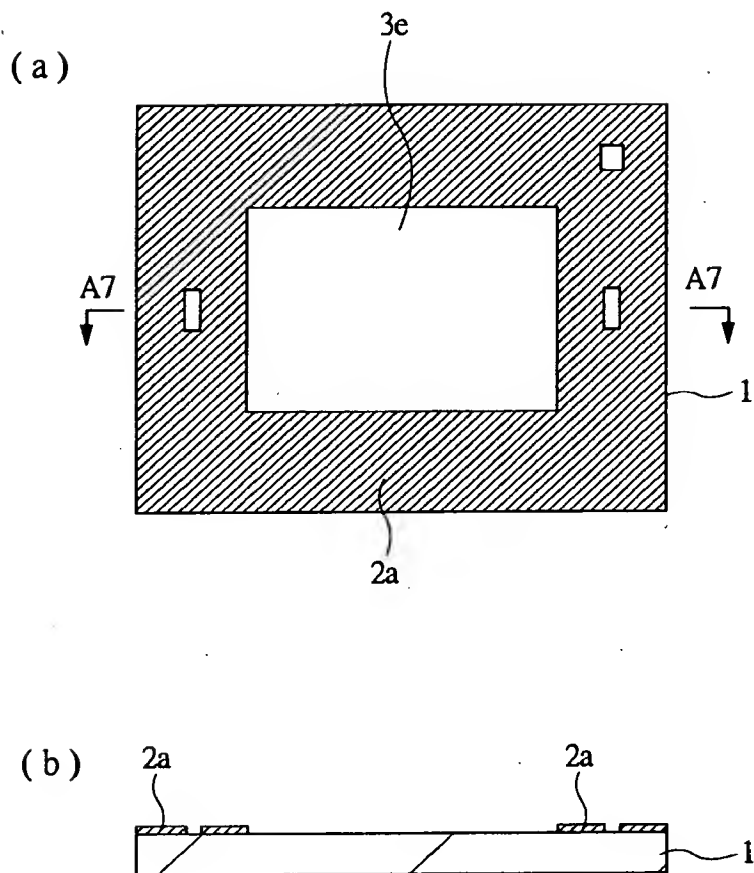
【図 2 1】

図 21



【図 2 2】

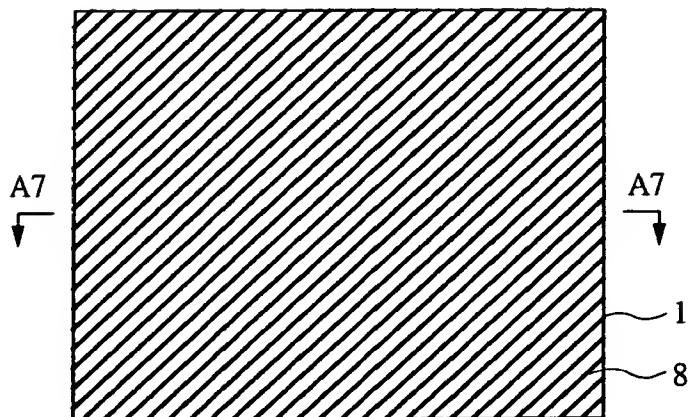
図 22



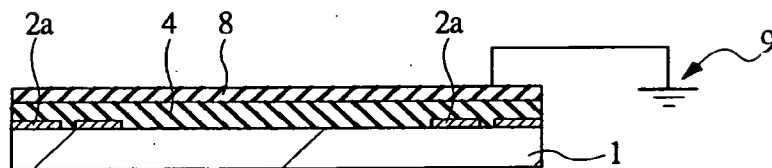
【図 2 3】

図 23

(a)

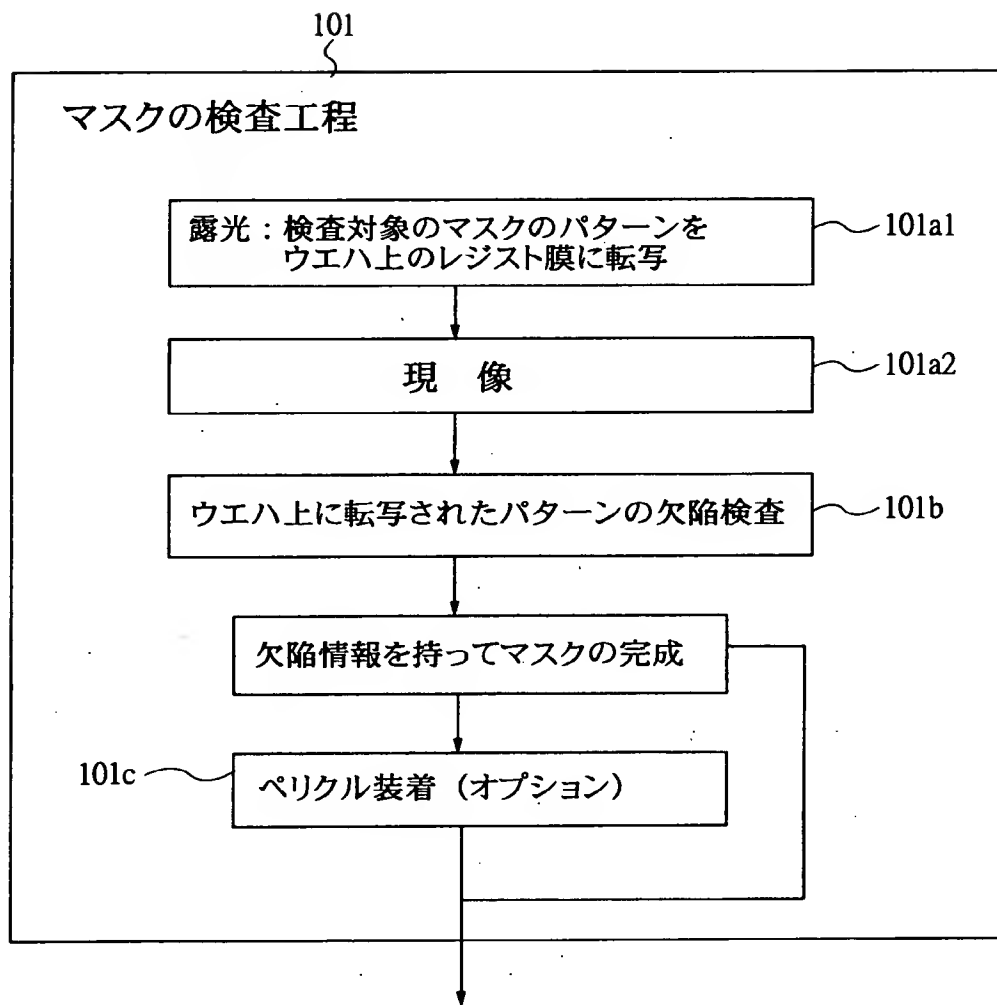


(b)



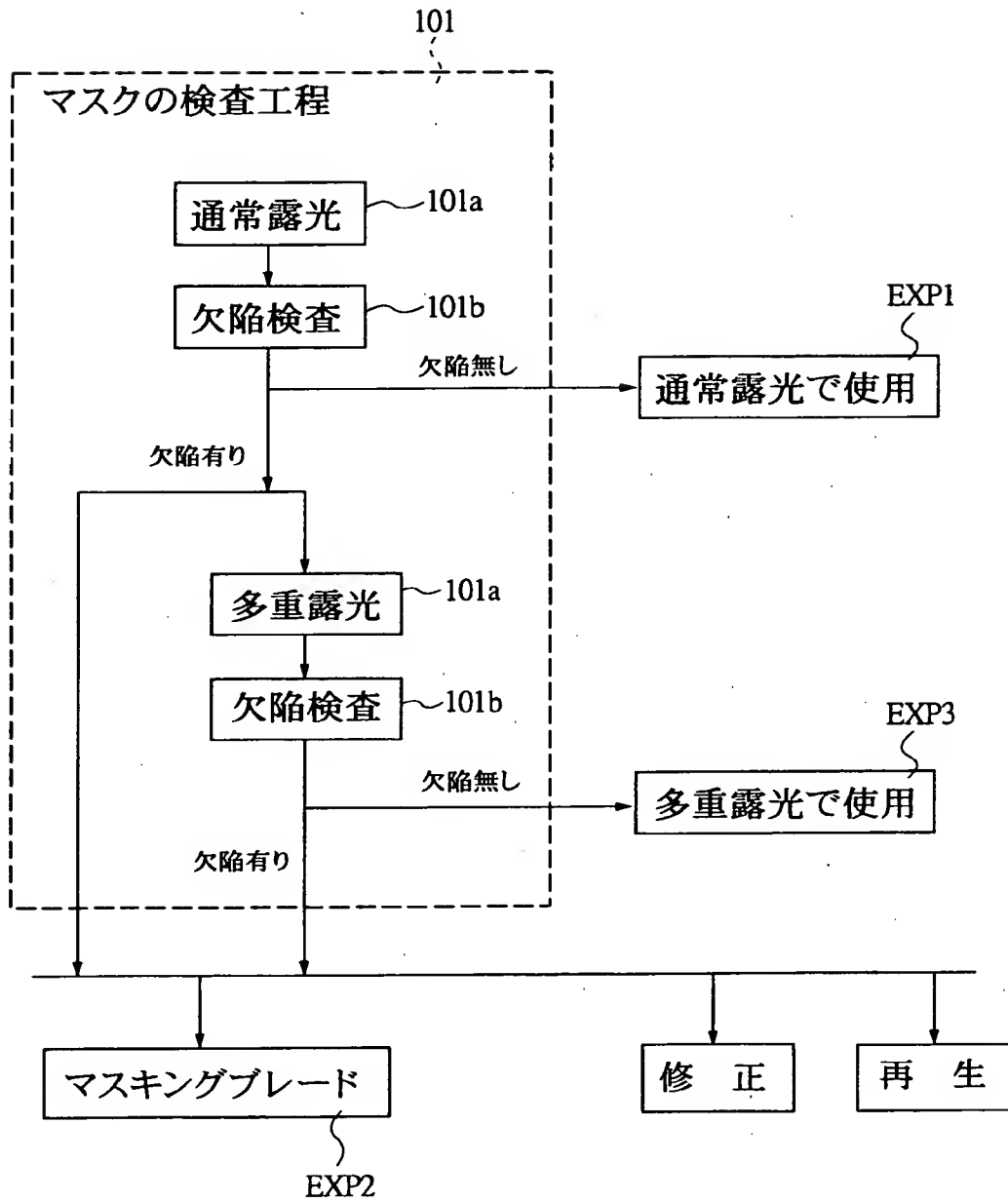
【図 2 4】

図 24



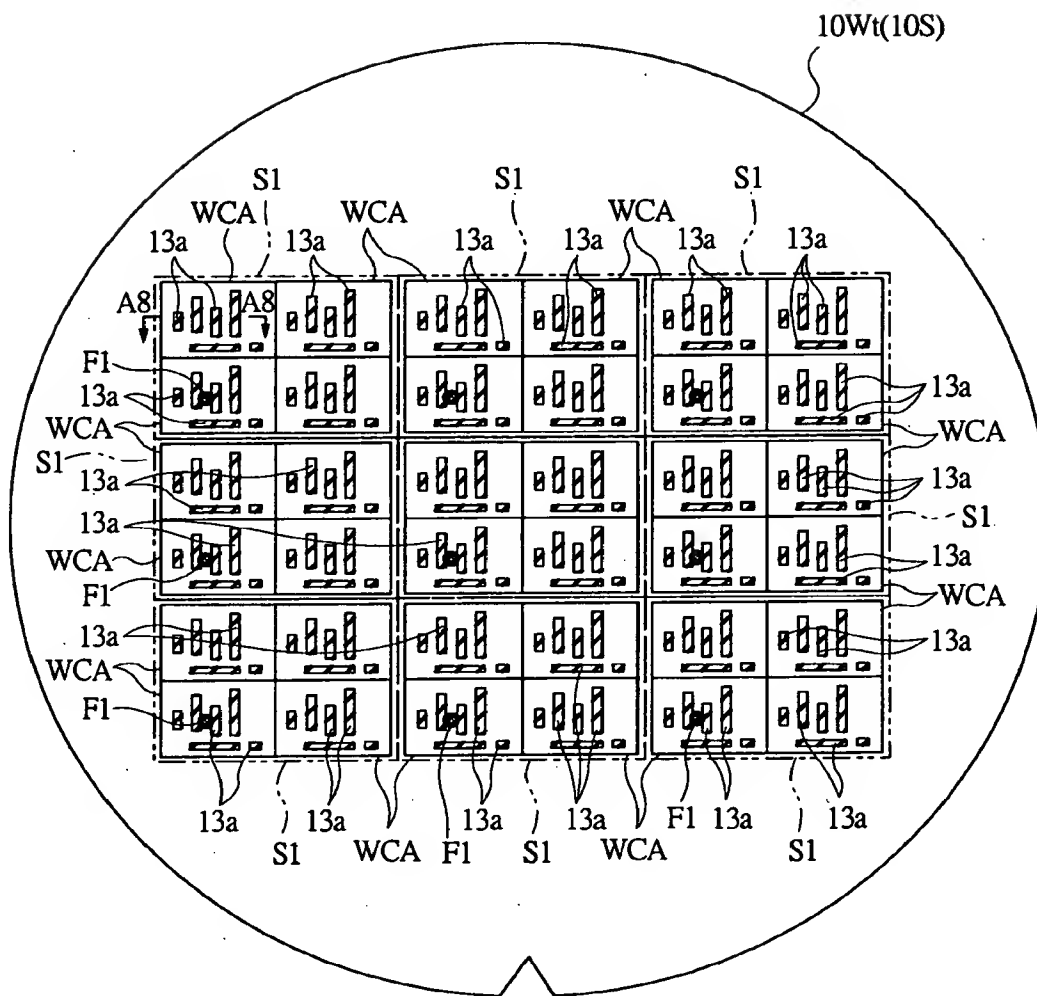
【図 25】

図 25



【図 26】

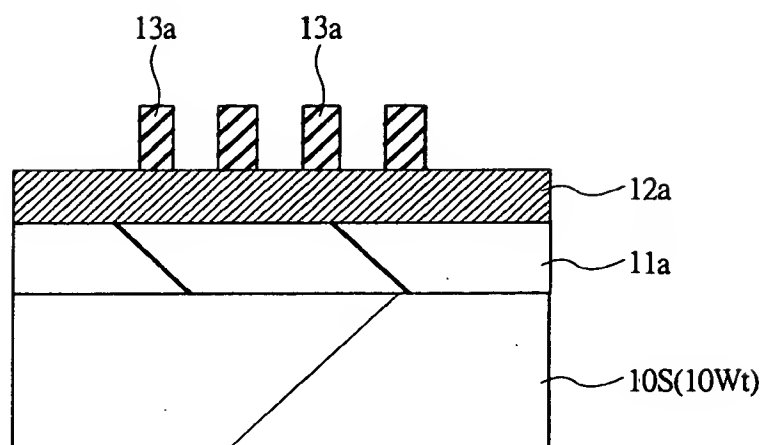
図 26





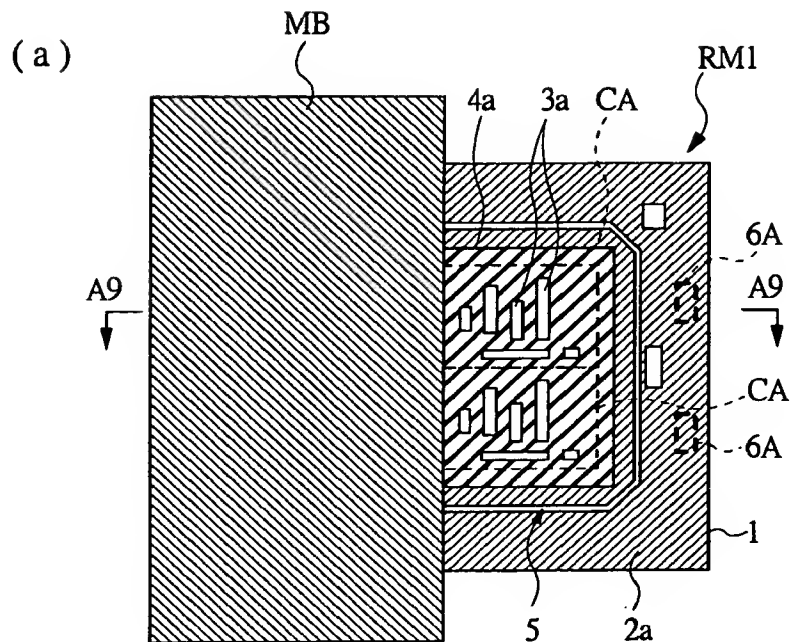
【図 2 7】

図 27

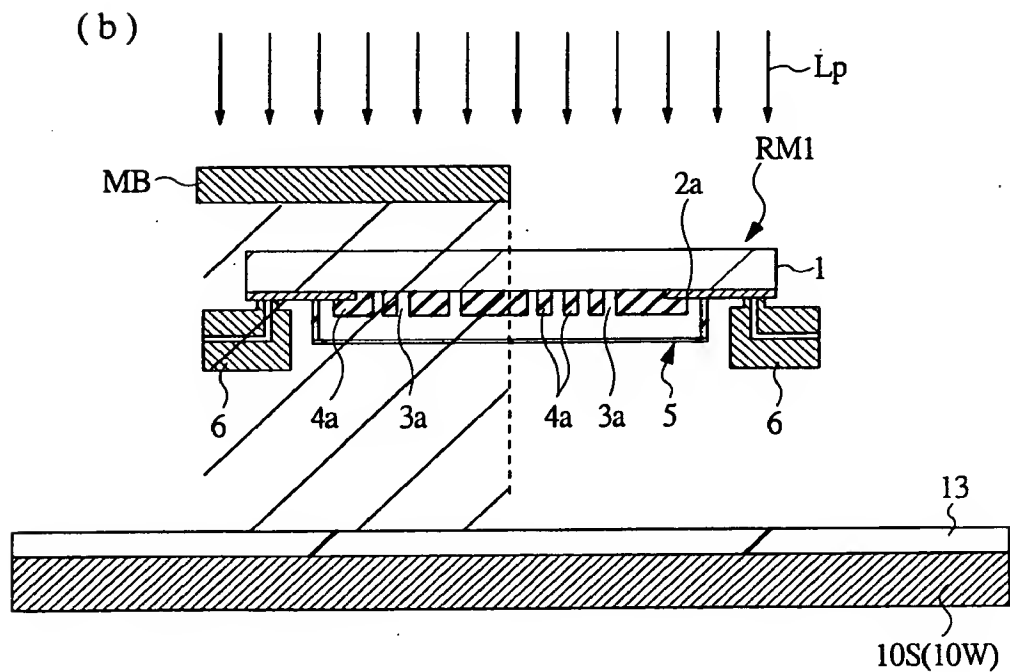


【図 28】

図 28



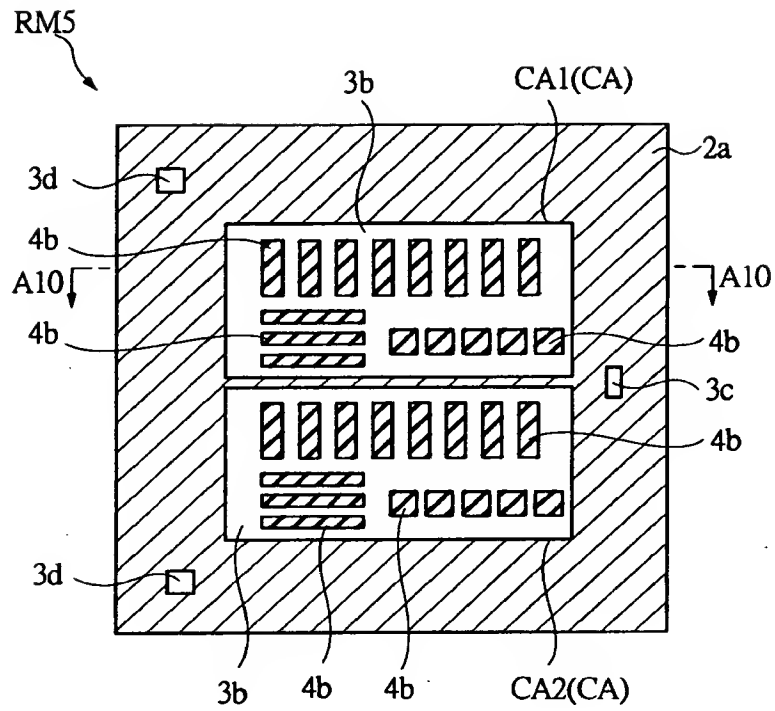
RM1: フォトマスク  
MB: マスキングブレード(遮光体)



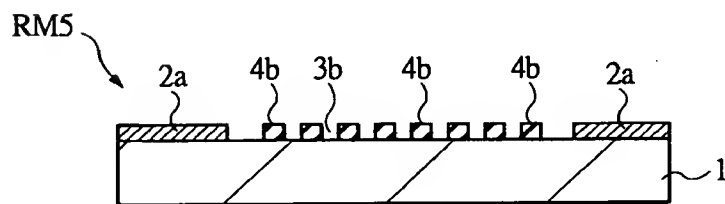
【図 2 9】

図 29

(a)

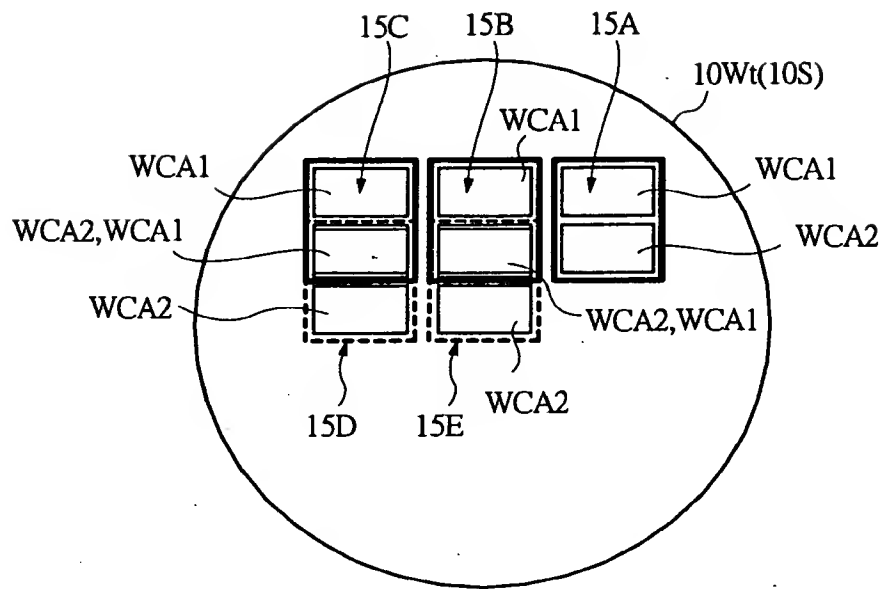


(b)



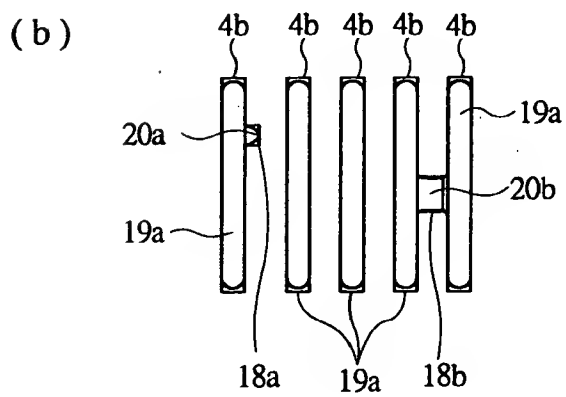
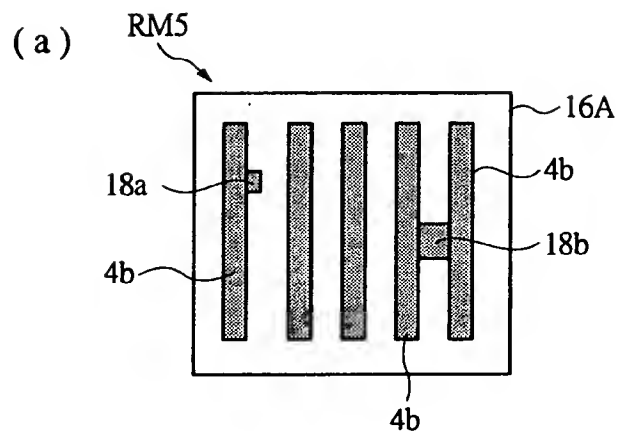
【図 3 0】

図 30



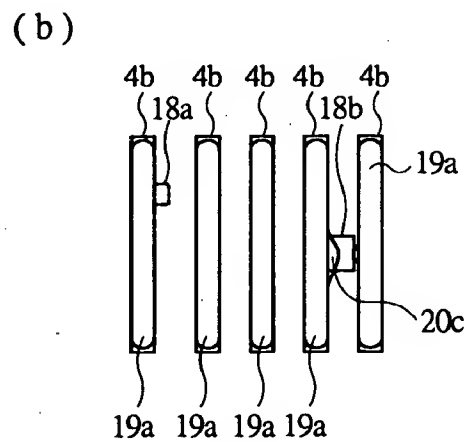
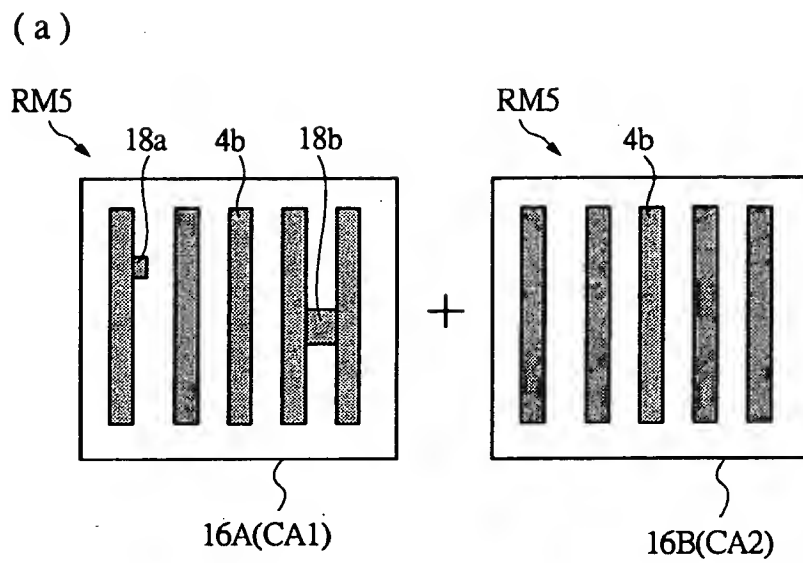
【図 3 1】

図 31



【図 3 2】

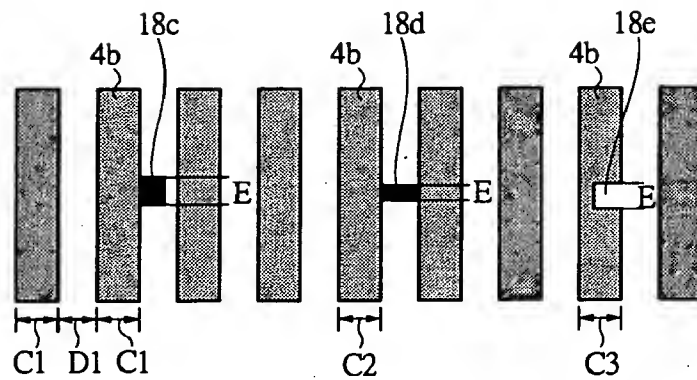
図 32



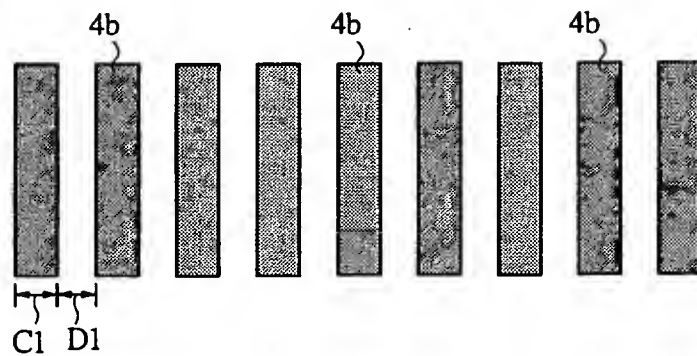
【図 3 3】

図 33

(a)

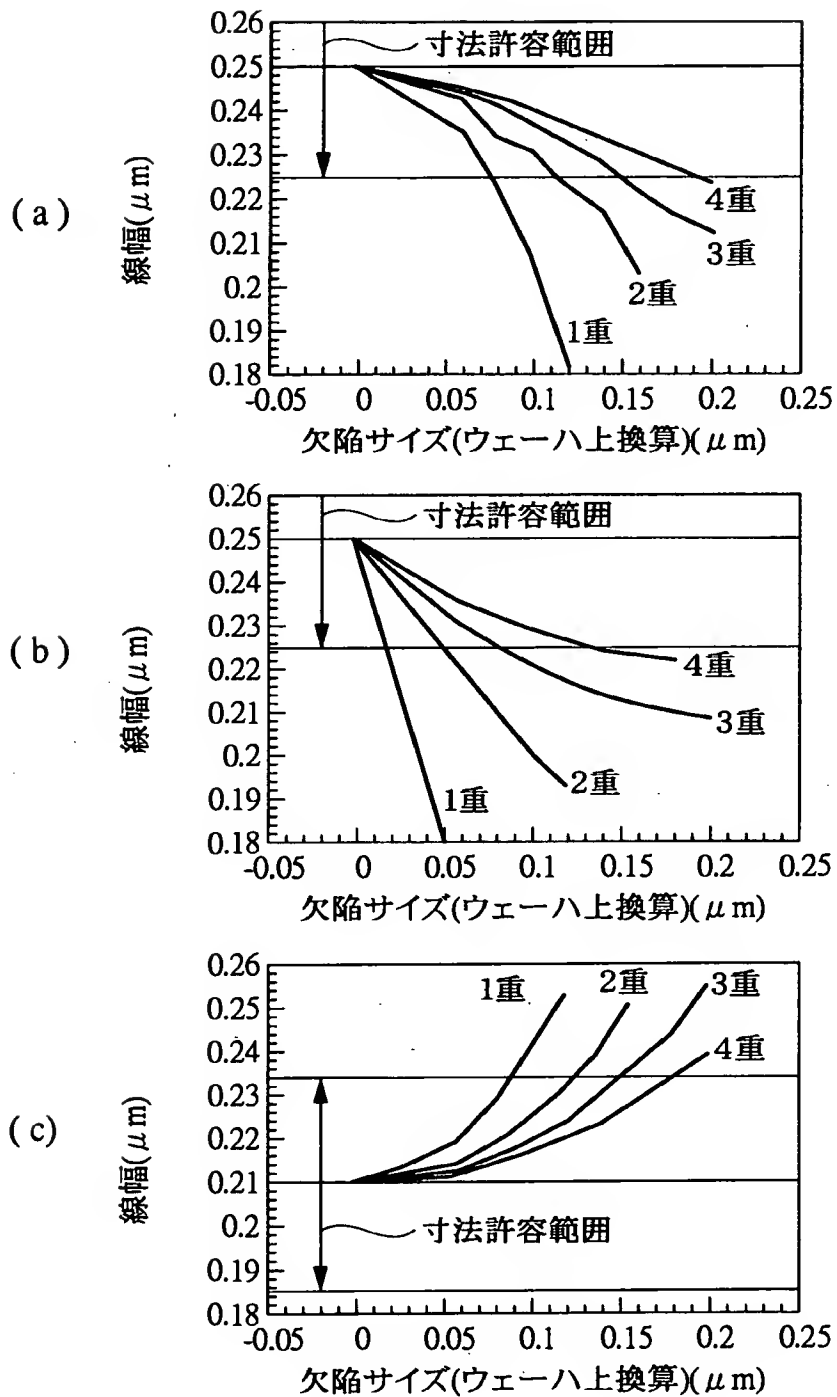


(b)



【図 3 4】

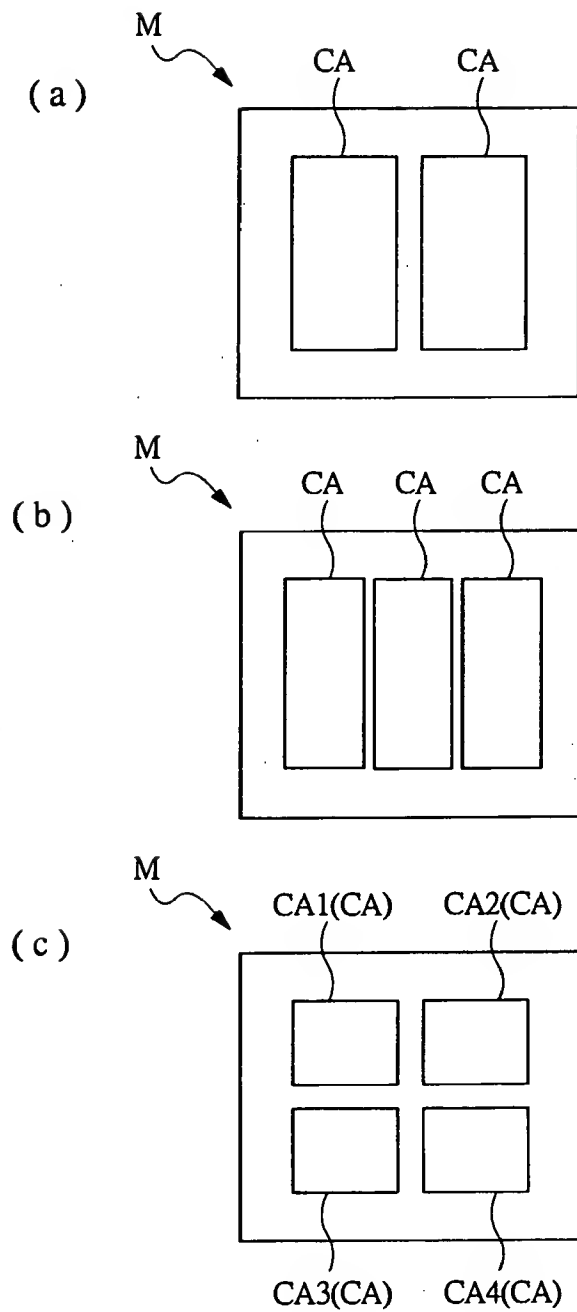
図 34





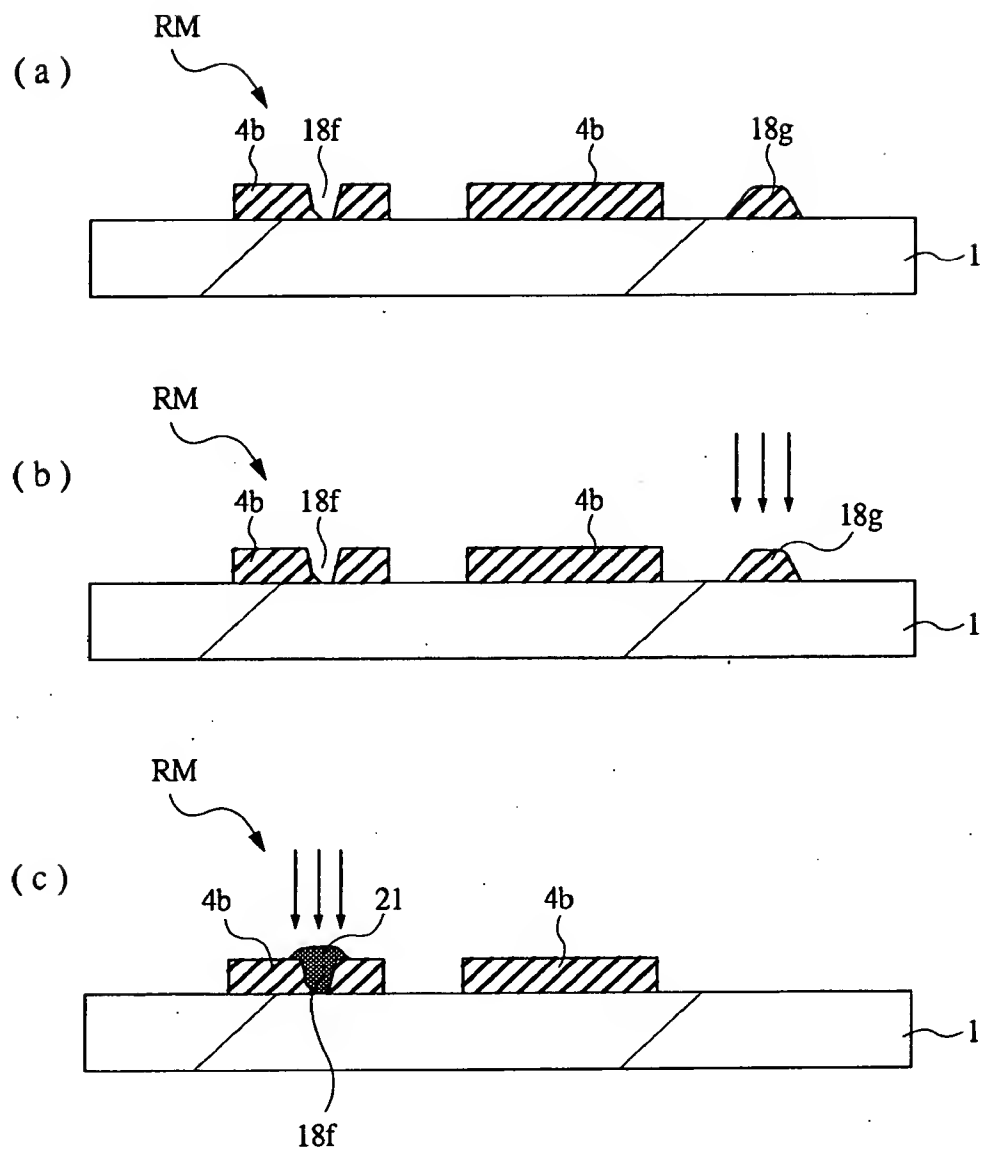
【図 3 5】

図 35



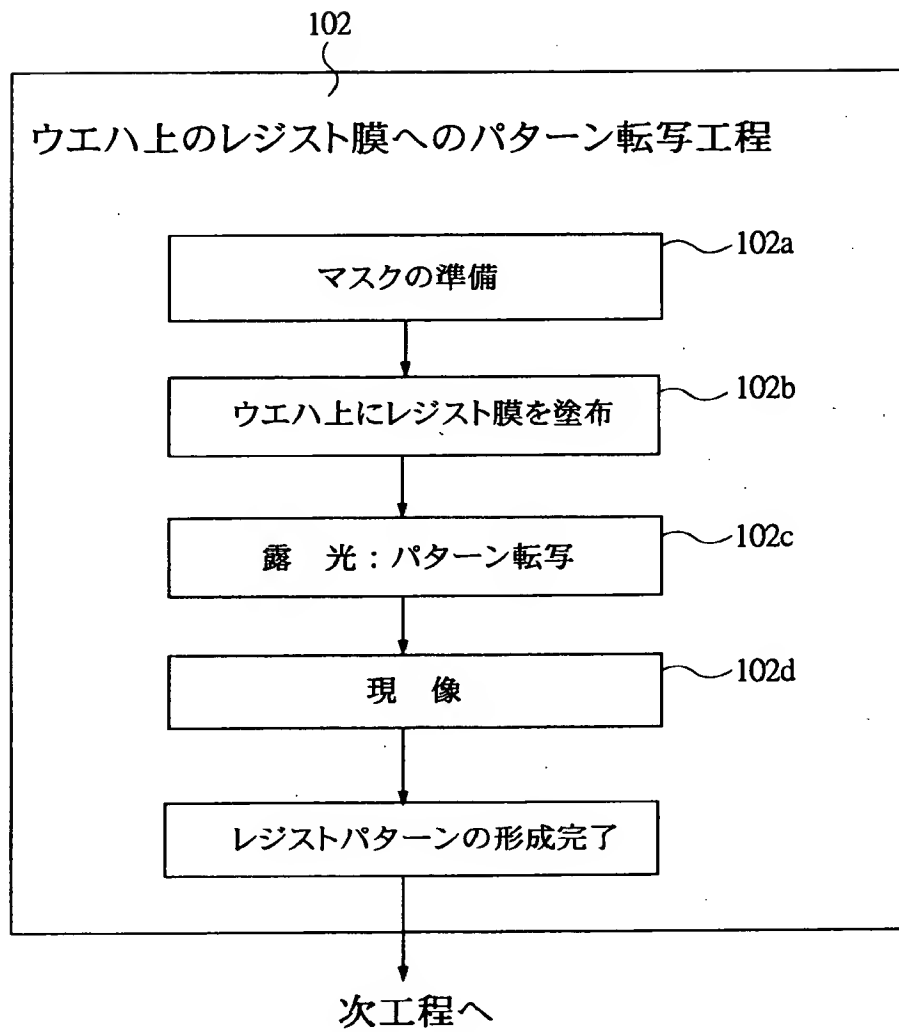
【図 3 6】

図 36



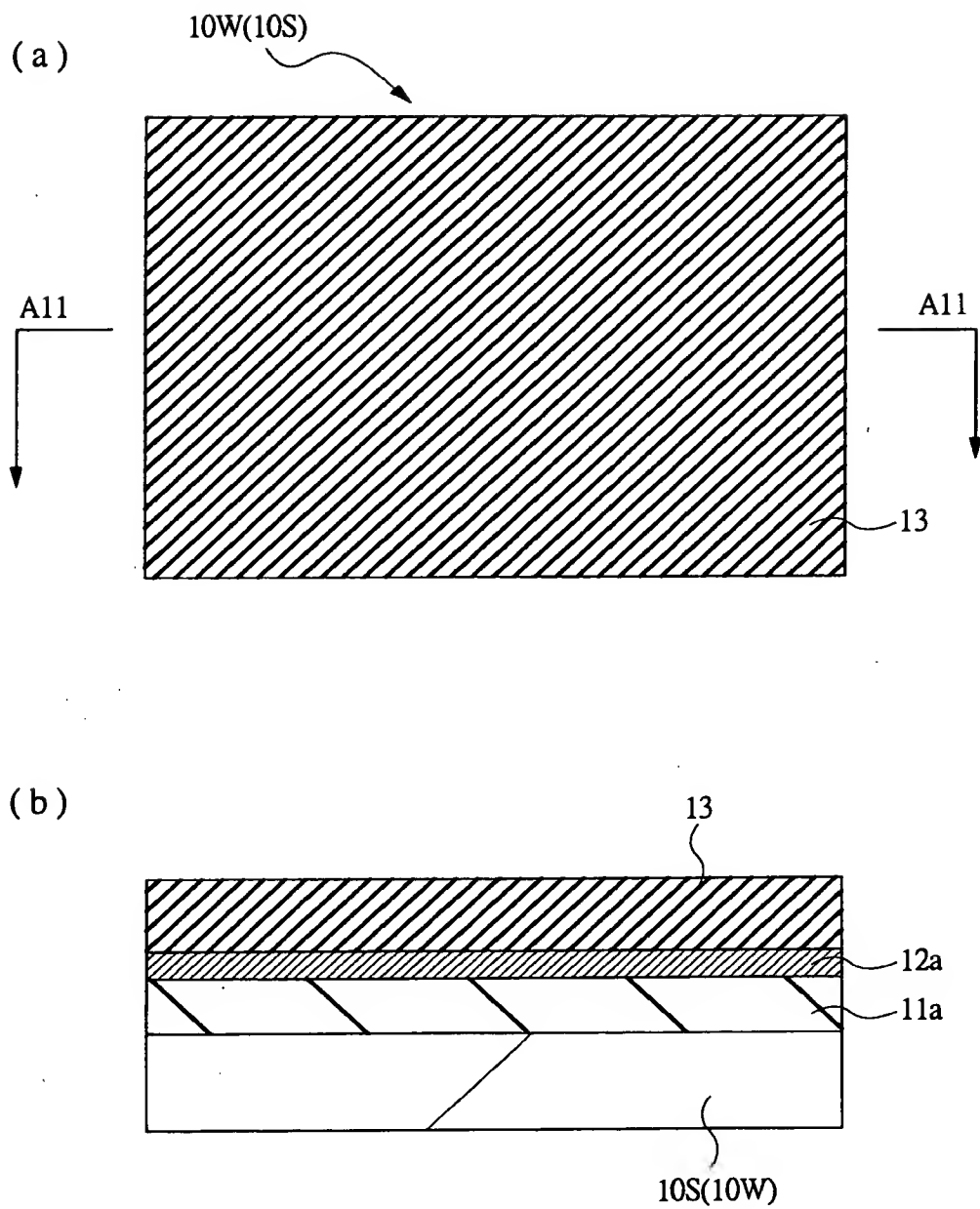
【図 3 7】

図 37



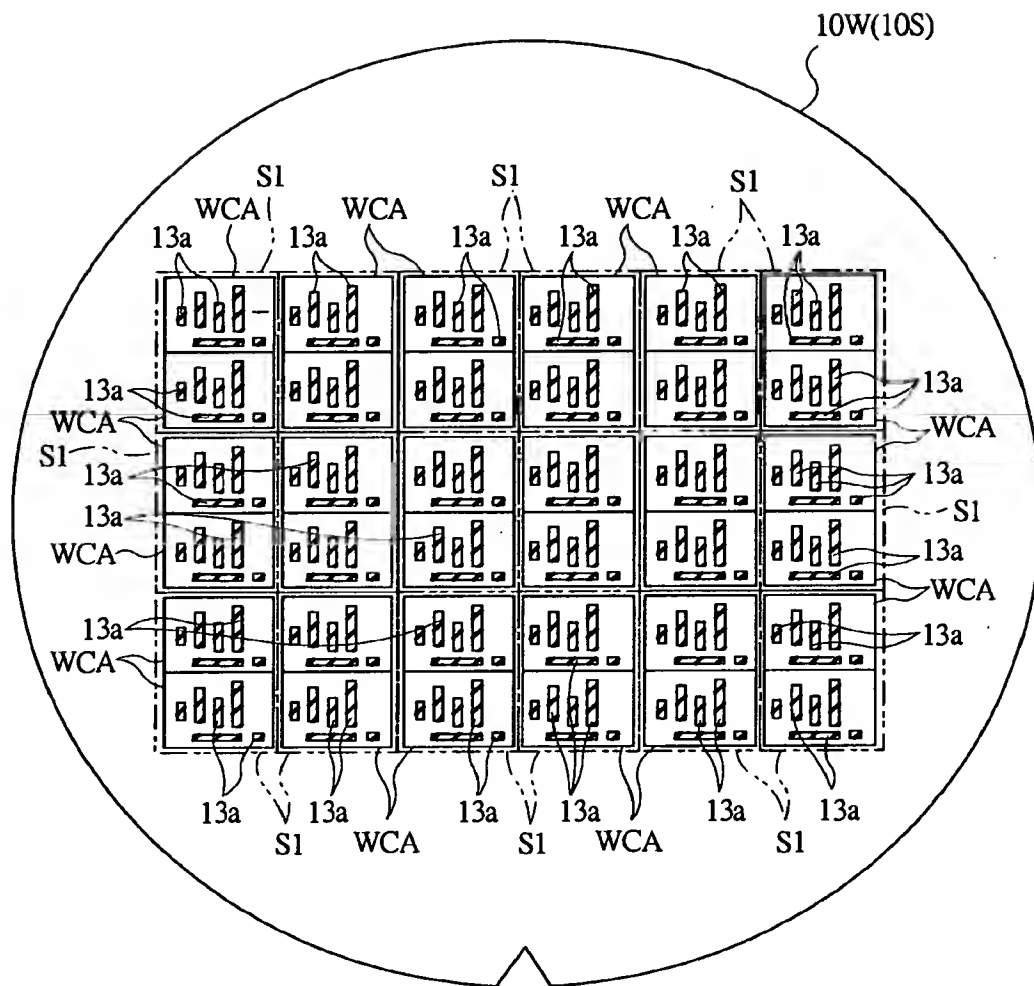
【図 3 8】

図 38



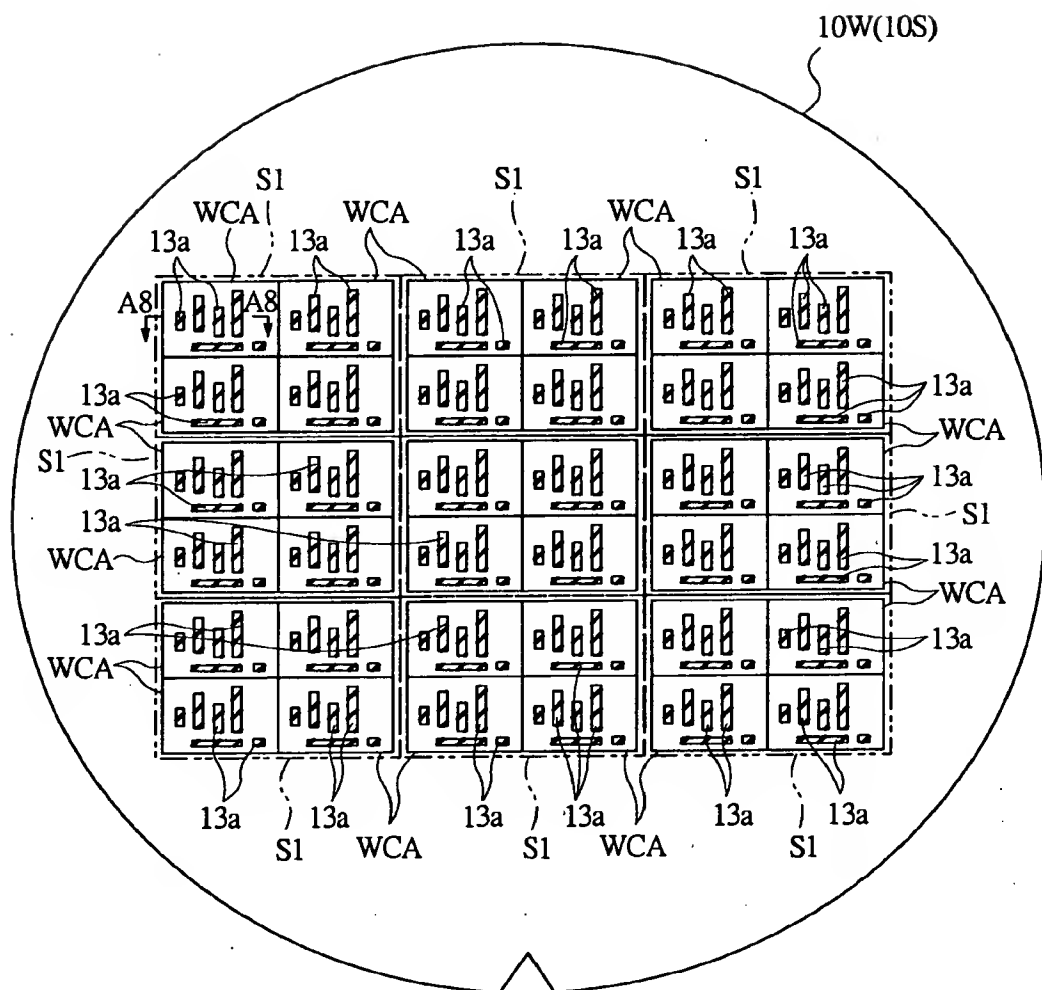
【図 39】

図 39



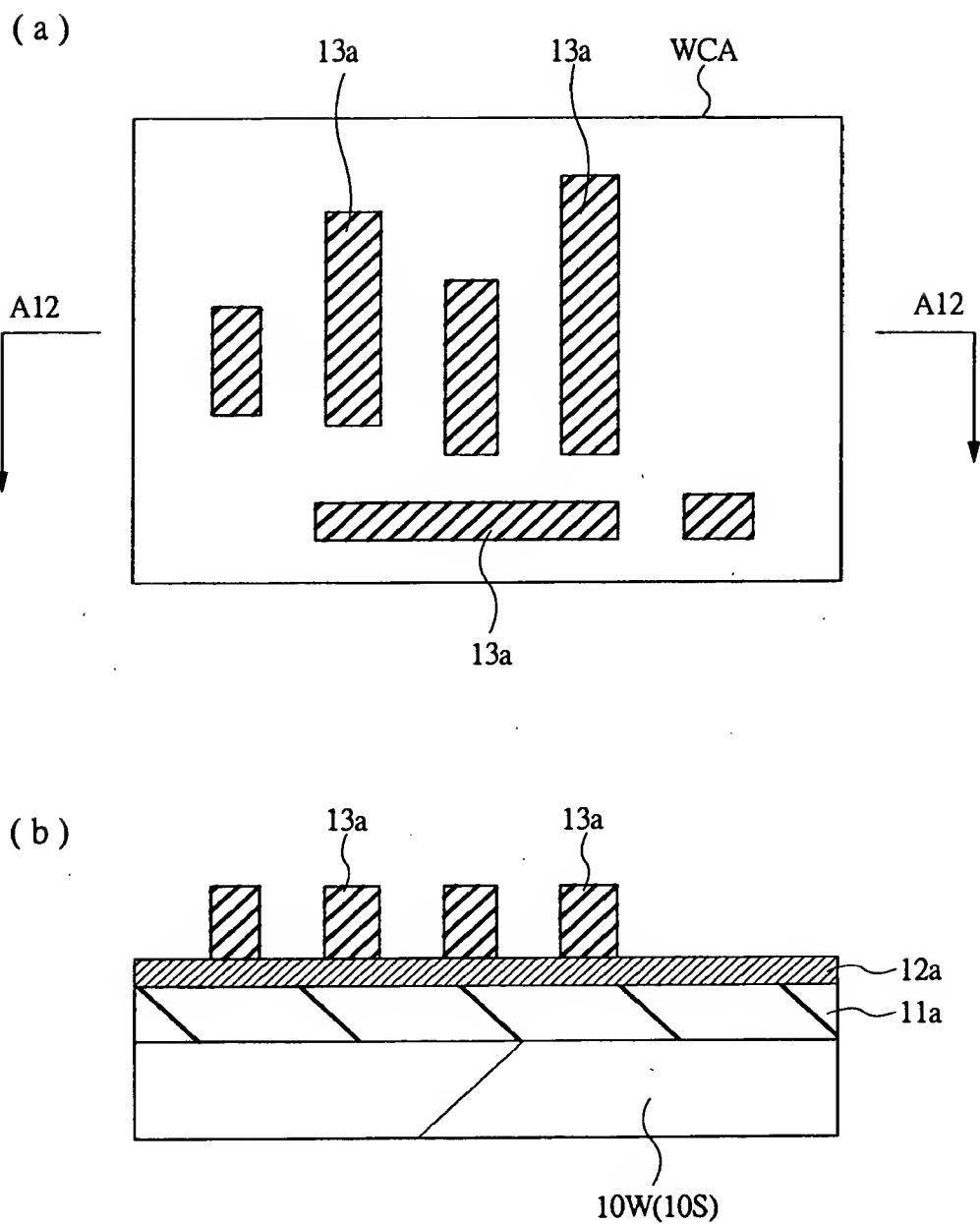
【図 40】

図 40



【図 4 1】

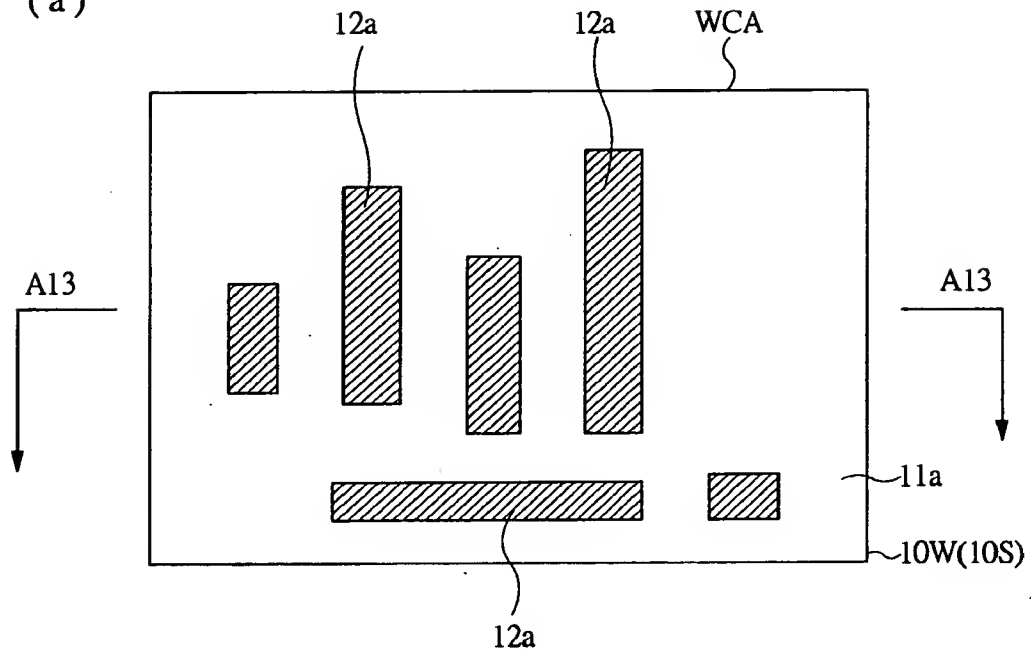
図 41



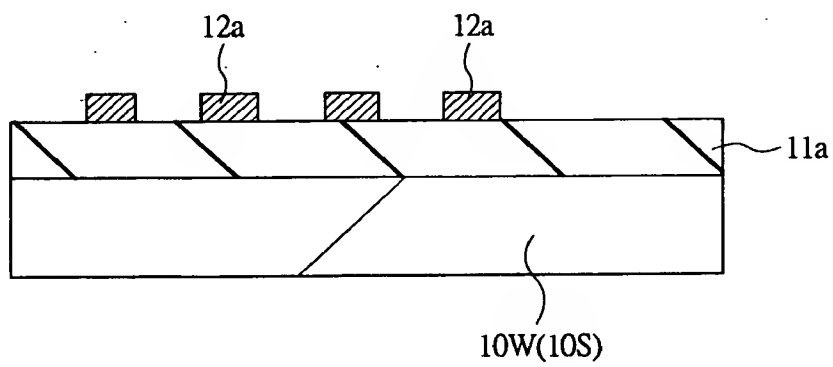
【図 4 2】

図 42

(a)



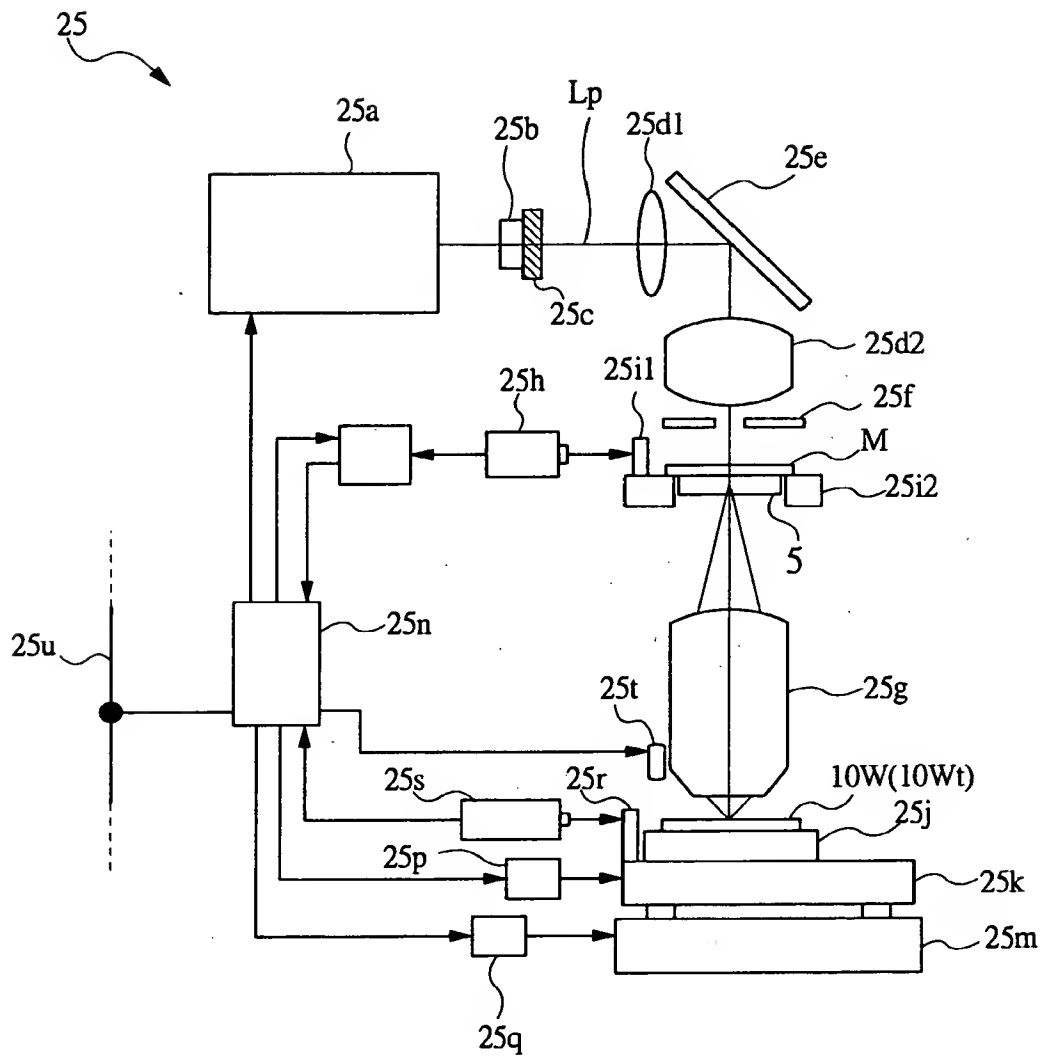
(b)





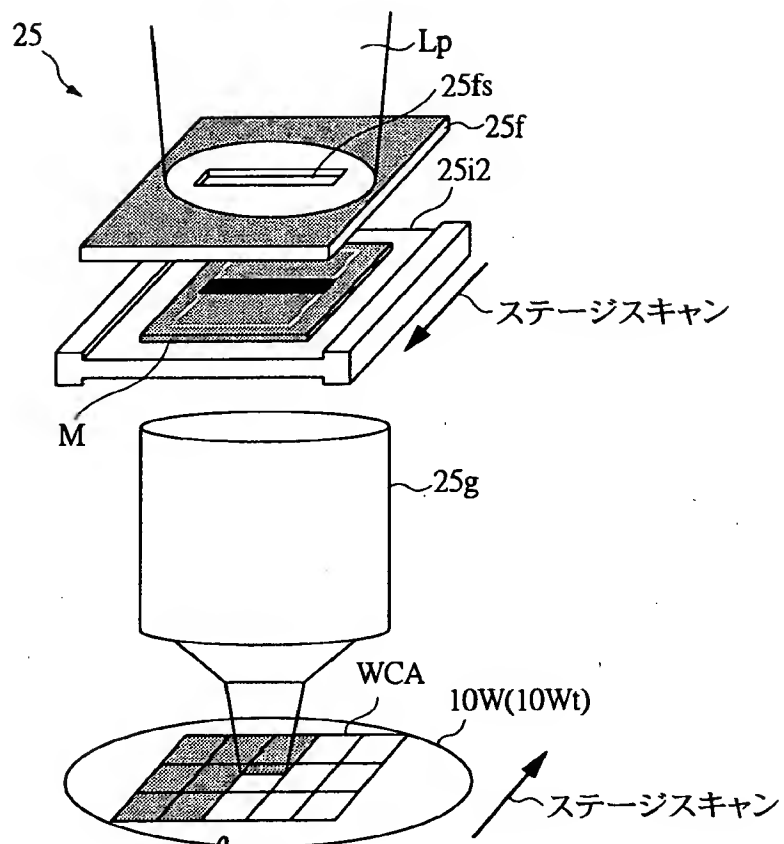
【図 43】

43



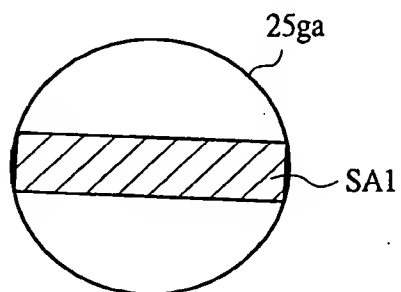
【図 4 4】

図 44



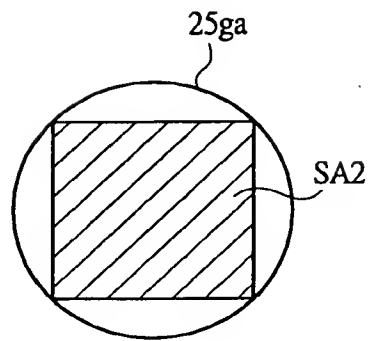
【図 4 5】

図 45



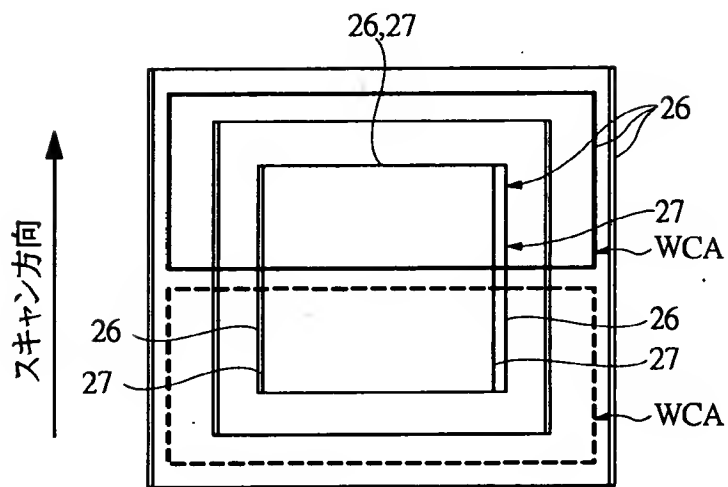
【図 4 6】

図 46



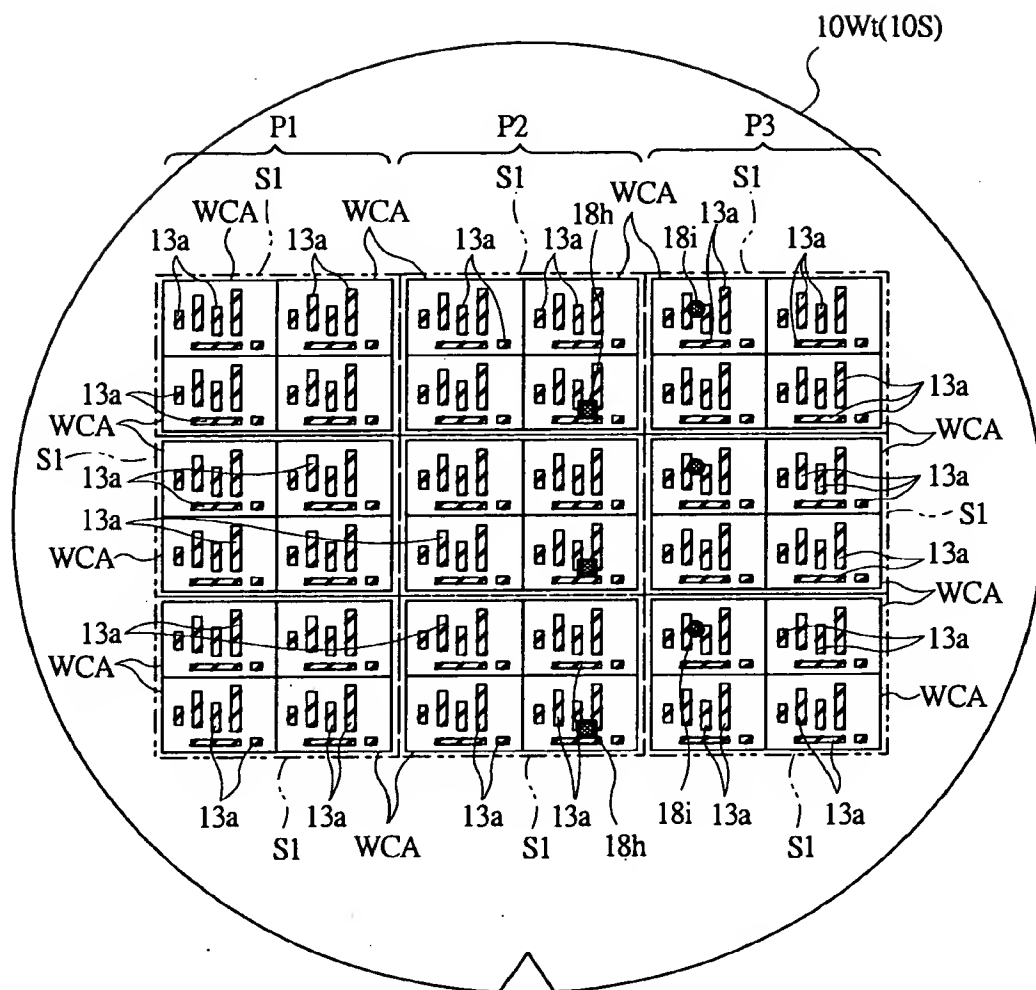
【図 4 7】

図 47



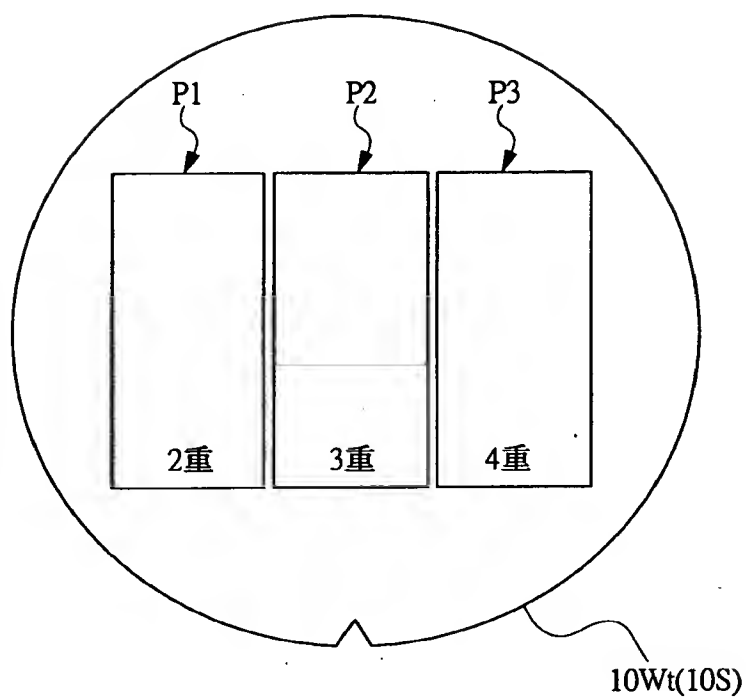
【図 48】

図 48



【図 4 9】

図 49



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置の製造時間を短縮する。

【解決手段】 マスク R M 1 の欠陥のあるチップ領域 C A をマスキングブレード M B で覆い遮光した状態で、ウエハ 1 0 W に対して露光処理を行う。

【選択図】 図 2 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地  
氏 名 株式会社日立製作所